وزارة التعليم العالي والبحث العلمي

جامعة الفرات الاوسط التقنية

المعهد التقني/ النجف الاشرف

قسم انظمة الحاسوب/ السنة الاولى

الحقيبة التعليمية لمادة معمارية الحاسوب

السنة الدراسية 2018 - 2019

مدرس المادة / حسن نجم زغير
Email: hasa2najim@yahoo.com
Mob.07801184301

(المحاضرة الاولى – الثالثة) : الأنظمة العددية (Numerical Systems)

أولا : النظرة الشاملة (Overview)

أ - الفئة المستهدفة Target Population

طلبة المرحلة: الاولى في المعهد التقني/ النجف - قسم انظمة الحاسوب

ب- مبررات المحاضرة وموضوعاتها Rationale

ان معظم الغموض الذي يكتنف التركيب الداخلي للحاسبات الالكترونية وغيرها من النظم الرقمية انما ينبع اساسا من اللغة غير المألوفة للدوائر الرقمية ، فالاجهزة الرقمية يمكنها أن تتعامل فقط مع الارقام الثنائية (0,1) وقسم منها يتعامل مع الارقام بالنظام السداسي عشر أو الثماني وغيرها

لذلك صممت هذه المحاضرة لكي يتعلم الطالب أنواع الانظمة العددية وكيفية التحويل فيما بينها وكذلك المتممات .

ج- الأفكار المركزية Central Ideas

اولا : التحويل من النظام العشري ← الى النظام الثنائي و بالعكس .

ثانيا : التحويل من النظام العشري ← الى النظام الثماني و بالعكس .

ثالثا : التحويل من النظام العشري ← الى النظام السداسي عشر و بالعكس .

رابعا : التحويل من النظام الثنائي ← الى النظام الثماني .

خامسا : التحويل من النظام الثنائي ← الى النظام السداسي عشر .

سادسا : التحويل من النظام الثماني ← الى النظام الثنائي .

سابعا : التحويل من النظام السداسي عشر ← الى النظام الثنائي .

ثامنا : جمع الاعداد في النظام الثنائي

تاسعا : طرح الاعداد في النظام الثنائي

عاشرا : طرح الاعداد في النظام الثنائي

احد عشر: متمم الـ (1) و متمم ألـ (2) .

اثنا عشر: طرح الاعداد في النظام الثنائي باستخدام المتمم لـ (1)

ثلاثة عشر: طرح الاعداد في النظام الثنائي باستخدام المتمم لـ (2)

د- أهداف المحاضرة Objectives

سيكون الطالب بعد دراسته لهذه المحاضرة قادرا على أن :

- يتعرف على طريقة الترقيم في الانظمة العددية المختلفة.
- يحدد انواع التحويلات بين الانظمة العددية وايجاد قيمة العدد لاي نظام عددي.
- يتعرف على طريقة الجمع والطرح في النظام الثنائي .
- يستخرج متمم الـ (1) و متمم ألـ (2) في النظام الثنائي .
- يقوم باجراء عملية الطرح في النظام الثنائي باستخدام طريقة المتمم لـ (1) و باستخدام طريقة المتمم لـ (2)

ثانيا- الاختبار القبلي Pre test

ضع دائرة حول الحرف الذي يسبق الاجابة الصحيحة لكل مما يأتي:

1- القيمة الثنائية المكافئة للعدد العشري $(79)_{10}$ هي :

أ- $(1101111)_2$

ب- $(1101011)_2$

ت- $(1001111)_2$

ث- $(1001110)_2$

2- القيمة الثمانية المكافئة للعدد العشري $(496)_{10}$ هي :

أ- $(670)_8$

ب- $(760)_8$

ت- $(770)_8$

ث- $(780)_8$

3- القيمة السداسي عشر المكافئة للعدد العشري $(6745)_{10}$ هي :

أ- $(1A59)_{16}$

ب- $(1A95)_{16}$

ت- $(1B95)_{16}$

ث- $(1B59)_{16}$

4- القيمة العشرية المكافئة للعدد الثنائي $(11010.10101)_2$ هي

أ- $(29.66525)_{10}$

ب- $(28.65252)_{10}$

ت- $(27.56562)_{10}$

ث- $(26.65625)_{10}$

5- ان متمم الـ (1) للعدد الثنائي $(1101111)_2$ هو :

أ- $(0010000)_2$

ب- $(1101010)_2$

ت- $(1001111)_2$

ث- $(1001110)_2$

6- ان متمم الـ (2) للعدد الثنائي $(11011011)_2$ هو :

أ- $(00100100)_2$

ب- $(11101010)_2$

ت- $(00100101)_2$

ث- $(10101110)_2$

7- ان ناتج جمع العدد الثنائي $(1101101)_2$ مع العدد الثنائي $(1101001)_2$ هو :

أ- $(00100100)_2$

ب- $(11010110)_2$

ت- $(00100101)_2$

ث- $(10101110)_2$

8- ان ناتج طرح العدد الثنائي $(110101)_2$ من العدد الثنائي $(1101001)_2$ باستخدام المتمم لـ (2) هو :

أ- $(00100100)_2$

ب- $(11010110)_2$

ت- $(00100101)_2$

ث- $(110100)_2$

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة، فاذا حصلت على نسبة اجابة اكثر من 75٪ فأنت لست بحاجة لهذه المحاضرة ، اما اذا حصلت على اقل من ذلك فانتقل الى الخطوة التالية:

مقدمة :

يعد إستخدام الأرقام كوسيلة للعد والحساب من الإنجازات الهامة التي حققها الإنسان عبر التاريخ والتي ساهمت في تسهيل كافة العمليات الحسابية وتسريعها. فقد إستخدام الإنسان منذ القدم الكثير من الأدوات لتمثيل عمليات العد والحساب ومنها استخدامه لأصابع يده العشرة والتي كانت الأساس للنظام العددي والذي لا يزال معمول به حتى يومنا هذا والمسمى بالنظام العشري **(Decimal System)**.

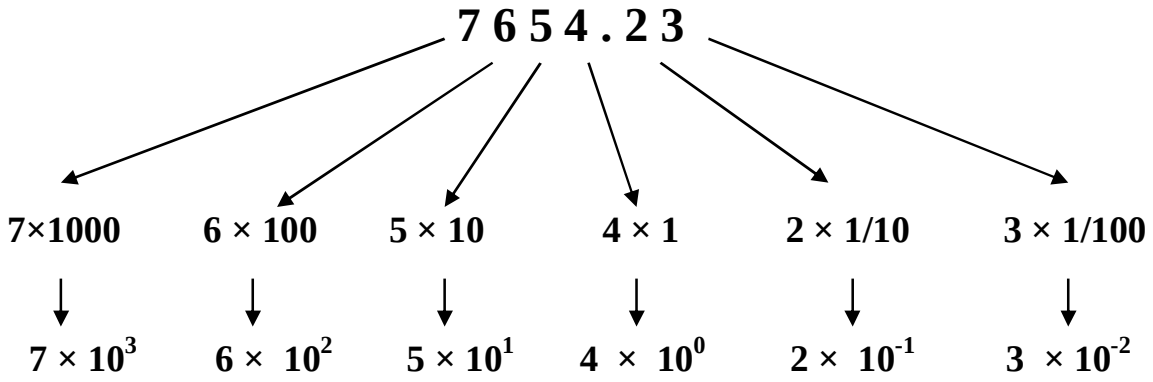
في المراحل الدراسية السابقة وعند دراستك للنظام العشري لابد أنك لاحظت أن القيمة الحقيقية للرقم تعتمد على قيمته المكانية في العدد ، وهذا يعني أن الرقم يمكن أن يأخذ أكثر من قيمة والذي يحدد ذلك مكانه داخل العدد (والذي يسمى بالمرتبة)، تزداد قيمة العدد إذا حركتهُ باتجاه اليسار وتقل قيمته إذا حركيه باتجاه اليمين. فمثلاً العدد (937) نجد أن القيمة الحقيقية للرقم 7 هي سبعة فقط أما قيمة الرقم 3 فهي (30) وقيمة الرقم 9 هي (900).

وهنالك أنظمة عددية أخرى غير النظام العشري ، وأكثرها شيوعاً هي النظام الثنائي، النظام الثماني، النظام السادس عشري. وتكون هذه الأنظمة مفيدة في الأنظمة الرقمية مثل الحاسبات الالكترونية ، المعالجات الدقيقة ، وغيرها من الأنظمة الرقمية. ولهذا السبب فانه من الضروري الإطلاع على كل من هذه الأنظمة العددية لغرض استخدامها في دراستنا للأنظمة الرقمية.

النظام العشري : Decimal System

وهو النظام العددي المتعارف عليه والمستخدم في كافة المجالات وفي كل انحاء العالم وجاءت تسمية النظام ب(العشري) لان عدد الرموز الداخلة في تركيبة أي عدد في هذا النظام هي عشرة رموز وهي (0 ، 1 ، 2 ، 3 ، 4 ، 5 ، 6 ، 7 ، 8 ، 9) وفي حالة استخدام اكثر من رمز فان القيمة العددية تعتمد على موقع الرمز ضمن سلسلة الرموز ، ان عدد الرموز الداخلة في تركيب النظام العددي تسمى بأساس النظام ، لذلك فان اساس النظام العشري هو العدد (10) وسمي بأساس العدد لان كل عدد مكتوب بهذا النظام يعتمد بالاساس على هذا العدد .

مثال : العدد العشري 7654.23 يمكن تحليله إلى المراتب التالية



النظام الثنائي: Binary System

وهو نظام عددي أساسه العدد (2) مقارنة بالنظام العشري الذي أساسه العدد (10) ، أي ان عدد الرموز المستخدمة في النظام هي رمزين فقط وهي (0 ، 1) لتمثيل كافة الاعداد . ويعتبر النظام الثنائي اساس اللغة التي تتعامل بها الحاسبة الالكترونية والأنظمة الرقمية ، مثال على اعداد بهذا النظام :

1001 , 10111.101 , 10.1101 , 0.1011

من خلال ملاحظتنا الاعداد اعلاه نلاحظ بان الاعداد بالنظام الثنائي ولكن توجد اعداد شبيهه بها في النظام العشري ، فلتمييز العدد المكتوب بالنظام المعين ، تكتب الاعداد داخل اقواس مع كتابة رمز اسفل القوس يمثل اساس النظام المكتوب به العدد .

فمثلا : العدد 110 يكتب بالثنائي $(110)_2$ وبالعشري $(110)_{10}$

مثال : لتحليل العدد $(110.101)_2$ الى مراتبه :

$$(110.101)_2 = 0\times2^0 + 1\times2^1 + 1\times2^2 + 1\times2^{-1} + 0\times2^{-2} + 1\times2^{-3}$$

النظام الثماني : Octal System

وهو من الانظمة المستخدمة في الحاسبات الالكترونية أساسه العدد (8) ، الرموز المستخدمة في هذا النظام هي (0 ، 1 ، 2 ، 3 ، 4 ، 5 ، 6 ، 7) مثال على إعداد النظام الثماني

$(0.513)_8$, $(721.5)_8$, $(203.62)_8$, $(110.013)_8$

مثال : حلل العدد $(203.65)_8$ الى مراتبه

$$(203.65)_8 = 3 \times 8^0 + 0 \times 8^1 + 2 \times 8^2 + 6 \times 8^{-1} + 5 \times 8^{-2}$$
$$= 3 \times 1 + 0 \times 8 + 2 \times 64 + 6 \times 1/8 + 5 \times 1/64$$

النظام السادس عشري : Hexadecimal System

وهو من الانظمة المهمة المستخدمة في الحاسبات الالكترونية أساسه العدد (16) أي إن عدد الرموز المستخدمة في تشكيل أعداد النظام هي 16 رمز وهي :

(F , E , D , C , B , A , 9 , 8 , 7 , 6 , 5 , 4 , 3 , 2 , 1, 0)

ومثال على أعداد بالنظام السادس عشري :

$(0.257)_{16}$, $(FFF)_{16}$, $(10011.1)_{16}$, $(2D6.F3)_{16}$

مثال :: حلل العدد $(3A1.7F)_{16}$ إلى مراتبه :

$$(3A1.7F)_{16} = 1 \times 16^0 + 10 \times 16^1 + 3 \times 16^2 + 7 \times 16^{-1} + 15 \times 16^{-2}$$
$$= 1 \times 1 + 10 \times 16 + 3 \times 256 + 7 \times 1/16 + 15 \times 1/256$$

ملاحظة : عند مقارنة الرموز السادس عشرية بالنظام العشري فان الرموز(A ← F) تساوي في النظام العشري (10 ← 15).

التحويلات بين الأنظمة العددية

أن عملية التحويل بين الأنظمة العددية من العمليات المهمة والتي يجب إن يتعرف عليها الشخص الذي يدرس عملية تصميم الأنظمة الرقمية . ولتسهيل عملية فهم هذه التحويلات سيتم تقسيمها إلى مجاميع كل مجموعة تتشابه بطريقة التحويل .

التحويل من الأنظمة (غير العشرية) إلى النظام العشري :

لتحويل أي عدد من أي نظام عددي إلى نظام العشري يتم تحليل العدد إلى مراتبه اعتمادا على أساس ذلك النظام ثم إيجاد ناتج جمع الحدود ، والعدد الناتج من الجمع سيكون هو العدد في النظام العشري .

مثال :حول العدد $(1101.01)_2$ إلى النظام العشري :

$$(1101.01)_2 = 1\times 2^0 + 0\times 2^1 + 1\times 2^2 + 1\times 2^3 + 0\times 2^{-1} + 1\times 2^{-2}$$
$$= 1\times 1 + 0\times 2 + 1\times 4 + 1\times 8 + 0\times 1/2 + 1\times 1/4$$
$$= 1 + 0 + 4 + 8 + 0 + 0.25$$
$$= (13.25)_{10}$$

مثال :حول العدد $(125.4)_8$ إلى النظام العشري :

$$(125.4)_8 = 5\times 8^0 + 2\times 8^1 + 1\times 8^2 + 4\times 8^{-1}$$
$$= 5\times 1 + 2\times 8 + 1\times 64 + 4\times 1/8$$
$$= 5 + 16 + 64 + 0.5$$
$$= (85.5)_{10}$$

مثال :حول العدد $(A15.C)_{16}$ إلى النظام العشري :

$$(A15.C)_{16} = 5\times 16^0 + 1\times 16^1 + 10\times 16^2 + 12\times 16^{-1}$$
$$= 5\times 1 + 1\times 16 + 10\times 256 + 12\times 1/16$$
$$= 5 + 16 + 2560 + 0.75$$
$$= (2581.75)_{10}$$

التحويل من النظام العشري إلى الأنظمة الأخرى :

لتحويل أي عدد عشري إلى أي نظام أخر يجب تجزئته إلى جزء صحيح وجزء كسري وتحويل كل جزء بطريقة خاصة ثم جمع ناتج التحويل للجزئين للحصول على الناتج النهائي .

أولاً : تحويل الجزء الصحيح :

لتحويل الجزء الصحيح للعدد العشري لأي نظام نقوم بتقسيم العدد العشري على أساس النظام المطلوب التحويل إليه ونحتفظ بباقي القسمة ، ثم نأخذ ناتج القسمة ونقسمه مرة أخرى على أساس النظام ونحتفظ بالباقي وهكذا نستمر بتكرار العملية إلى أن نحصل على ناتج قسمة يساوي صفر . فيكون ناتج التحويل في عمود باقي القسمة بقراته من الأسفل إلى الأعلى وكتابته من اليسار إلى اليمين

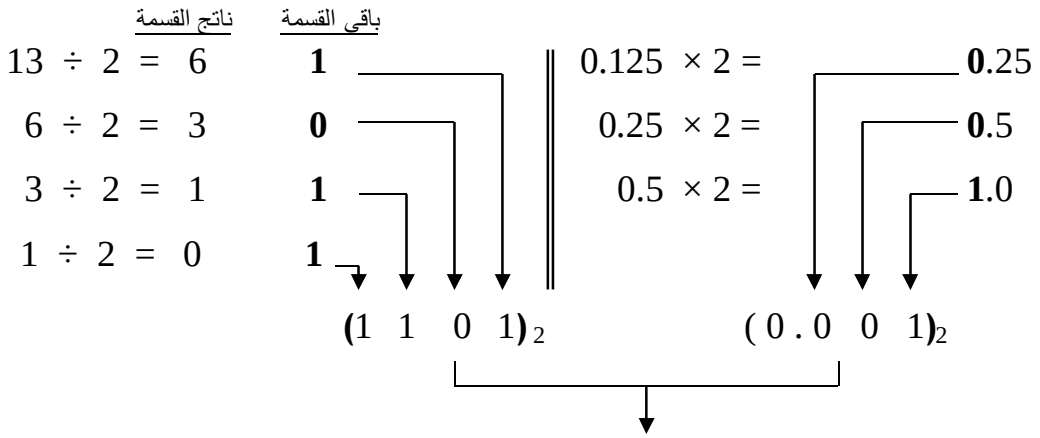
ثانياً: تحويل الجزء ألكسري :

لتحويل الجزء ألكسري من العدد العشري إلى نظيره في الأنظمة الأخرى نقوم بضرب العدد ألكسري في أساس النظام المطلوب التحويل إليه ثم اخذ الجزء ألكسري فقط من ناتج الضرب وضربه مرة أخرى في الأساس وهكذا تستمر عملية الضرب إلى أن نتوقف في إحدى الحالات التالية :

- **إما أن يكون الجزء ألكسري الناتج في الضرب يساوي صفر .**
- **تكرار الجزء ألكسري أكثر من مرة .**
- **تعقيد الجزء ألكسري أكثر مع استمرار عملية الضرب .**

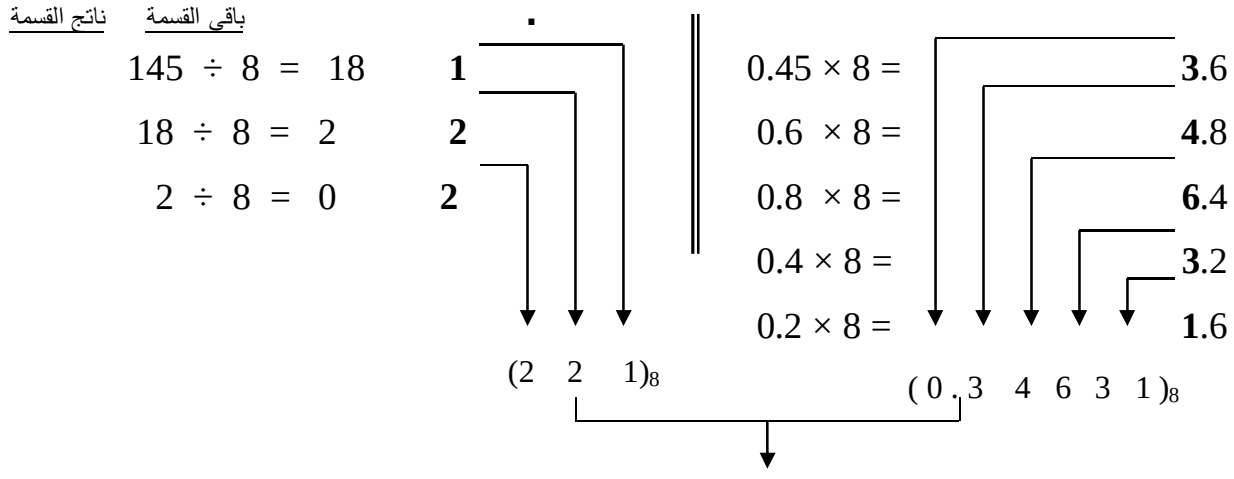
بعد توقف عملية الضرب يتم قراءة ناتج التحويل في عمود الجزء الصحيح من الضرب بقراءته من الأعلى إلى الأسفل وكتابته بعد الفارزة من اليسار إلى اليمين .

مثال: حول العدد $(13.125)_{10}$ إلى النظام الثنائي :



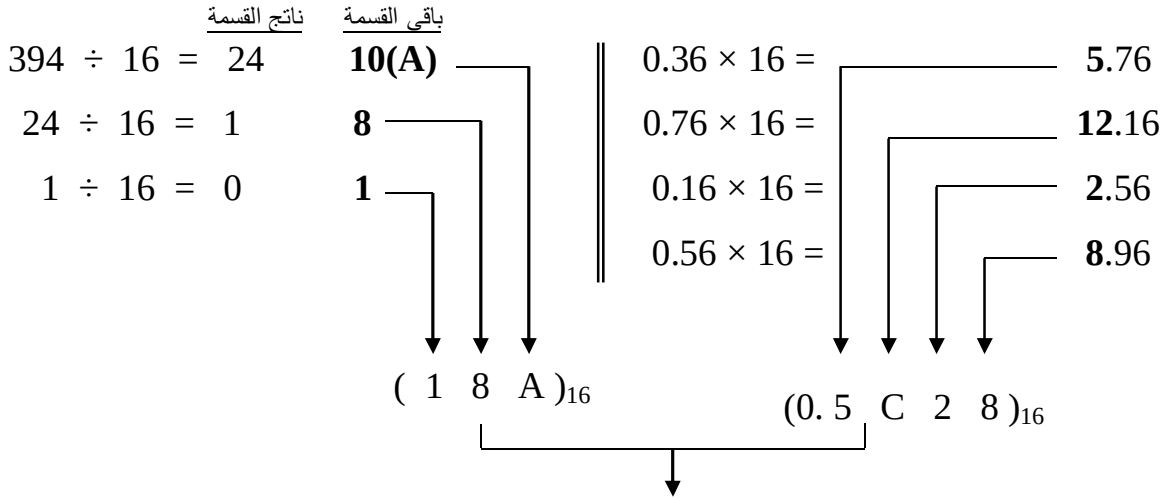
ناتج التحويل النهائي = $(1101.001)_2$)

مثال: حول العدد $(145.45)_{10}$ إلى النظام الثماني :



ناتج التحويل النهائي = $(221.34631)_8$)

مثال: حول العدد $(394.36)_{10}$ إلى النظام السادس عشري :



ناتج التحويل النهائي ≈ $(18A.5C28)_{16}$)

التحويل من النظام الثنائي إلى الثماني وبالعكس :

لتحويل العدد من النظام الثنائي إلى الثماني يقسم العدد الثنائي إلى مجاميع من ثلاثة مراتب ابتدءا من الفارزة باتجاه اليسار للجزء الصحيح وباتجاه اليمين للجزء ألكسري ، وإذا انتهت الأطراف بمراتب اقل من ثلاثة تكمل باصفار ، ثم تحول كل مجموعة ثلاثية في النظام الثنائي إلى ما يقابلها في النظام الثماني كما في الجدول أدناه ، والعدد الناتج هو العدد بالنظام الثماني .

الثماني	الثنائي		
	2^2	2^1	2^0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

مثال: حول العدد $(11010111.1101)_2$ إلى النظام الثماني :

011 010 111 . 110 100

3 2 7 . 6 4

$$(11010111.1101)_2 = (327.64)_8$$

ولتحويل أي عدد من النظام الثماني إلى الثنائي فتكون العملية عكسية نسبة للتحويل السابق حيث يحول كل رمز ثماني إلى ما يعادله في النظام الثنائي من ثلاثة رموز وحسب الجدول السابق ، ثم نحذف الاصفار التي في الطرف الأيمن والأيسر من التحويل إن وجدت والعدد الباقي هو ناتج التحويل .

مثال: حول العدد $(321.64)_8$ إلى النظام الثنائي :

3 2 1 . 6 4

011 010 001 . 110 100

$$(321.64)_8 = (11010001.1101)_2$$

التحويل من النظام الثنائي إلى النظام السادس عشري وبالعكس :

إن التحويل بين النظام السادس عشري و الثنائي هو شبيه بطريقة التحويل الثنائي والثماني الفرق فقط هو إن المجاميع الثنائية في التحويل هي أربعة مراتب وجدول التحويل هو المبين أدناه

السادس عشري	الثنائي			
	2^3	2^2	2^1	2^0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
A	1	0	1	0
B	1	0	1	1
C	1	1	0	0
D	1	1	0	1
E	1	1	1	0
F	1	1	1	1

مثال: حول العدد $(1111011.10101)_2$ إلى النظام السادس عشري :

0111 1011 . 1010 1000

7 B . A 8

$(1111011.10101)_2 = (\mathbf{7B.A8})_{16}$

مثال: حول العدد $(8D.9)_{16}$ إلى النظام الثنائي :

8 D . 9

1000 1101 . 1001

$(8D.9)_{16} = (\mathbf{10001101.1001})_2$

ثالثا : الاختبار الذاتي Self test

اكمل الفراغات التالية بما يناسبها :

1- تزداد قيمة الرقم في العدد الصحيح إذا حركتهُ باتجاه ..... وتقل قيمته إذا حركتهُ باتجاه .....

.

2- في العدد $(937)_{16}$ ، القيمة الحقيقية للرقم 7 هي .....أما قيمة الرقم 3 فهي..... وقيمة الرقم 9 هي

. .....

3- النظام الثنائي هو نظام عددي أساسه العدد ..... بينما النظام العشري أساسه العدد .....

4 - يكتب العدد $(203.62)_8$ بالنظام العشري بشكل .....

5- حول العدد $(17E.2A)_{16}$ إلى النظام الثنائي .

6- ان ناتج العملية الحسابية $(11001)_2 + (110110)_2$ هو ..... .

7- ان متمم الـ (2) للعدد الثنائي $(1010011)_2$ هو .....

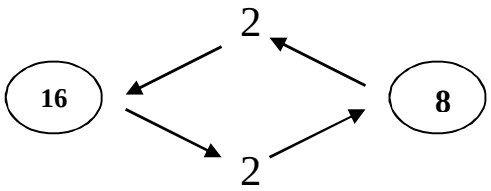
8- ان ناتج العملية الحسابية $(110110)_2 - (11001)_2$ هو.....

9- اذا استخدمت متمم الـ (1) فان ناتج العملية الحسابية $110110)_2 - (11000)_2$ هو.....

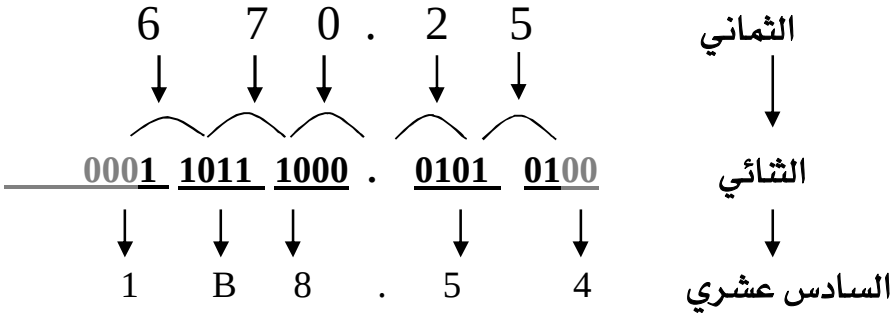
تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة .

التحويل من النظام الثماني إلى السادس عشري وبالعكس :

للتحويل بين النظام الثماني و السادس عشري يتم الاستفادة من التحويلات السابقة لانجاز التحويل النهائي ، مثلا إذا أردنا التحويل من الثماني إلى السادس عشري ، يتم تحويل الثماني الثنائي ومن ثم تحويل الثنائي (الناتج) إلى السادس عشري ، والعكس صحيح .



مثال: حول العدد $(670.25)_8$ إلى النظام السادس العشري :



$(670.25)_8 = (1B8.54)_{16}$

تمارين:

1. حول العدد $(862.401)_{10}$ إلى النظام الثنائي ؟
2. حول العدد $(943.23)_{10}$ إلى النظام الثماني ؟
3. حول العدد $(746.533)_{10}$ إلى النظام السادس عشري ؟
4. حول العدد $(1101101.0101)_2$ إلى النظام العشري ؟
5. حول العدد $(2CE.3B)_{16}$ إلى النظام الثماني ؟
6. اوجد قيمة X في كل مما يأتي :

$(X)_{10} = (90F.62)_{16}$, $(X)_{16} = (100101010.1101)_2$, $(X)_8 = (46.547)_{10}$

7.1 العمليات الحسابية في النظام الثنائي

كلنا يعلم العمليات الحسابية التي تتم باستخدام الأعداد العشرية مثل الجمع والطرح والضرب والقسمة ، كل هذه العمليات يمكن اجرائها في الأنظمة العددية الأخرى ، ولأهمية النظام الثنائي في دراستنا لموضوع الدوائر الرقمية ، فسنقوم بدراسة تلك العمليات الحسابية في النظام الثنائي .

1.7.1 الجمع في النظام الثنائي : Binary Addition

إن ابسط عملية جمع في النظام الثنائي هي التي تتم بين عددين كل عدد يتكون من رمز (مرتبة) ثنائي واحد . ولو أخذنا كافة الاحتمالات لهذه العملية فستكون الاحتمالات المبينة في أدناه . وبالاعتماد على هذه الاحتمالات يمكن تنفيذ أي عملية جمع ثنائية لأي عدد من المراتب.

$0 + 0 = 0$
$0 + 1 = 1$
$1 + 0 = 1$
$1 + 1 = 0 \longrightarrow 1$ محمل (Carry)

مثال: . اجمع العددين $(11010.1)_2$, $(1011.01)_2$:

$$\begin{array}{r} 1\ 1\ 0\ 1\ 0\ .\ 1\ 0 \\ 0\ 1\ 0\ 1\ 1\ .\ 0\ 1 \quad + \\ \hline 1\ 0\ 0\ 1\ 0\ 1\ .\ 1\ 1 \end{array}$$

مثال: ما ناتج جمع العددين $(11011.101)_2$, $(1110.11)_2$:

$$\begin{array}{r} 1\ 1\ 0\ 1\ 1\ .\ 1\ 0\ 1 \\ 0\ 1\ 1\ 1\ 0\ .\ 1\ 1\ 0 \quad + \\ \hline 1\ 0\ 1\ 0\ 1\ 0\ .\ 0\ 1\ 1 \end{array}$$

ملاحظة : ناتج جمع $1 + 1 + 1 = 1$ ⟵ 1 محمل

2.7.1 الطرح في النظام الثنائي : Binary Subtraction

كما في عملية الجمع ، تكون احتمالات ابسط عملية طرح بين عددين ثنائيين ، وهي أربع احتمالات، وكما مبينة :

$0 - 0 = 0$

$0 - 1 = 1 \longrightarrow 1$ استعارة (Borrow)

$1 - 0 = 1$

$1 - 1 = 0$

مثال: اطرح العدد $(1011)_2$ من العدد $(1101.1)_2$:

$$\begin{array}{r} 1\ 1\ 0\ 1\ .\ 1 \\ 1\ 0\ 1\ 1\ .\ 0 \quad - \\ \hline 0\ 0\ 1\ 0\ .\ 1 \end{array}$$

تمرين / اطرح العدد $(110.1)_2$ من العدد $(1000.01)_2$.

3.7.1 الضرب في النظام الثنائي : Binary Multiplication

إن احتمالات عملية الضرب في النظام الثنائي هي :

$0 \times 0 = 0$

$0 \times 1 = 0$

$1 \times 0 = 0$

$1 \times 1 = 1$

مثال: اوجد ناتج ضرب العددين $(101)_2$, $(1010)_2$:

$$\begin{array}{r} 1\ 0\ 1\ 0 \\ 1\ 0\ 1 \quad \times \\ \hline 1\ 0\ 1\ 0 \\ 0\ 0\ 0\ 0 \\ 1\ 0\ 1\ 0 \\ \hline 1\ 1\ 0\ 0\ 1\ 0 \end{array}$$

4.7.1 القسمة في النظام الثنائي : Binary Division

إن احتمالات عملية القسمة في النظام الثنائي هي :

0 ÷ 0 = ?

0 ÷ 1 = 0

1 ÷ 0 = ?

1 ÷ 1 = 1

مثال: اوجد ناتج قسمة العدد $(11000)_2$ على العدد $(100)_2$

```
      110
   ------
100 | 11000
      100
      ----
      0100
       100
       ---
       0000
```

8.1 المتممات Complements

يستخدم مفهوم المتممات في الحاسبة في خزن الاعداد السالبة وسنبين ذلك في المواضيع القادمة، والاستخدام الثاني هو للتعويض عن عملية الطرح بعملية جمع متكرر والذي يؤدي بدوره إلى جعل الدوائر الالكترونية المسؤولة عن عملية الجمع بتنفيذ عملية الطرح مع بعض الإضافات للدائرة .

1.8.1 المتممات في النظام الثنائي :

هنالك نوعان من المتممات في النظام الثنائي .

1. المتمم لـ 1 (1's Complement) : مقلوب العدد (أي جعل كل واحد صفر وكل صفر واحد) .
2. المتمم لـ2 (2's Complement) : هو المتمم لـ 1 مضافا إليه 1 .

مثال: العدد	المتمم لـ 1	المتمم لـ 2
110111	001000	001001
10010	01101	01110

الطرح الثنائي باستخدام المتممات :

أولا . الطرح باستخدام المتمم لـ 1 :

لطرح عددين ثنائيين باستخدام المتمم لـ 1 نتبع الخطوات التالية :

1. إكمال مراتب العدد الأقل عددا بالمراتب (المطروح أو المطروح منه) .
2. إيجاد المتمم لـ 1 للعدد المطروح .
3. جمع المتمم لـ 1 للمطروح مع المطروح منه .
4. نلاحظ نتيجة الجمع للخطوة 3 وكما يلي :

أ. إذا كان هنالك واحد ظاهر في المرتبة الإضافية (الباقي) ، فنقوم بجمعه مع بقية العدد والناتج من عملية الجمع يمثل ناتج عملية الطرح ويكون موجب .

ب. إذا لم يظهر واحد في المرتبة الإضافية (وهو دلالة إن ناتج الطرح سالب) ويكون ناتج الطرح بأخذ المتمم لـ 1 لناتج الجمع للخطوة 3 ويكون ناتج العملية هو ناتج الطرح ويكون سالب.

مثال: اطرح العدد $(110)_2$ من العدد $(1010)_2$ باستخدام طريقة المتمم لـ 1 :

	1 0 1 0	المطروح منه
	— 1 1 0	المطروح
الخطوة 1	0 1 1 0	تكملة مراتب المطروح
الخطوة 2	1 0 0 1	المتمم لـ 1 للمطروح
الخطوة 3	1 0 0 1	المتمم لـ 1 للمطروح
	+ 1 0 1 0	المطروح منه
الخطوة 4	1 0 0 1 1 ⟵	المرتبة الإضافية
	+ 1	
	0 1 0 0 ⟵	ناتج الطرح

مثال: اطرح العدد $(10101)_2$ من العدد $(1011)_2$ باستخدام المتمم لـ 1 :

0 1 0 1 1	المطروح منه
− 1 0 1 0 1	المطروح
0 1 0 1 0	المتمم لـ **1** للمطروح
+ 0 1 0 1 1	المطروح منه
? 1 0 1 0 1	المرتبة الإضافية خالية إذن النتيجة سالبة ←
− 0 1 0 1 0	ناتج الطرح

ثانياً. الطرح باستخدام المتمم لـ 2 :

لطرح عددين ثنائيين باستخدام المتمم لـ 2 تتبع الخطوات التالية :

1. **إكمال مراتب العدد الأقل مراتب .**
2. **إيجاد المتمم لـ 2 للعدد المطروح .**
3. **جمع المتمم لـ 2 للعدد المطروح مع المطروح منه .**
4. **نلاحظ نتيجة الجمع للخطوة 3 :**

أ. إذا كان هنالك واحد ظاهر في المرتبة الإضافية ، فنقوم بحذف هذا الواحد والباقي هو ناتج الطرح (موجب) .

ب. إذا لم يظهر واحد في المرتبة الإضافية ، فنقوم بأخذ المتمم لـ 2 لناتج الجمع ويكون هو ناتج الطرح (سالب) .

مثال: اطرح العدد $(110)_2$ من العدد $(1010)_2$ باستخدام المتمم لـ 2 :

1 0 1 0	المطروح منه
− 0 1 1 0	المطروح
1 0 0 1	المتمم لـ **1** للمطروح
+ 1	
1 0 1 0	المتمم لـ **2** للمطروح
+ 1 0 1 0	المطروح منه
1 0 1 0 0	المرتبة الإضافية تهمل ←
↑	
ناتج الطرح	

مثال: اطرح العدد $(10101)_2$ من العدد $(1011)_2$ باستخدام المتمم لـ 2 :

0 1 0 1 1	المطروح منه
− 1 0 1 0 1	المطروح
0 1 0 1 0	المتمم لـ **1** للمطروح
+ 1	
0 1 0 1 1	المتمم لـ **2** للمطروح
+ 0 1 0 1 1	المطروح منه
? 1 0 1 1 0	⟵ المرتبة الإضافية خالية إذن النتيجة سالبة

ونتيجة الطرح هو بأخذ المتمم لـ 2 لآخر نتيجة

0 1 0 0 1
+ 1
0 1 0 1 0

إذن ناتج الطرح هو العدد (− 1 0 1 0)

رابعا : الاختبار البعدي Post test

اوجد قيمة (X) في المعادلات التالية :

1/ $(110110 . 11001)_2 = (x)_{10}$

2 / $(10110111011.01010)_2 = (x)_8$

3/ $(749.586)_{10} = (x)_2$

4 / $(11011100110.110101011)_2 = (x)_{16}$

5 / $(7605.4203)_8 = (x)_2$

6/ $(1010110)_2 – (101001)_2 = (x)_2$ باستخدام متمم الـ(2)

7/ $(10110)_2 – (1100101)_2 = (x)_2$ باستخدام متمم الـ(1)

8/ $(100110)_2 + (111011)_2 = (x)_2$

9/ $(101101)_2 – (1011011)_2 = (x)_2$ باستخدام متمم الـ(2)

10/ $(10110)_2 + (111011)_2 = (x)_2$

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

مفاتيح الاجابة على الاختبارات					
الاختبار القبلي Pre test		الاختبار الذاتي Self test		الاختبار البعدي Post test	
رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة
1	ت	1	اليسار ، اليمين	1	$(54.78125)_{10}$
2	ب	2	2304 ، 48 ، 7	2	$(2673.24)_8$
3	أ	3	10 ، 2	3	$(1011101101.10010)_2$
4	ث	4	131.78	4	$(6E6.D58)_{16}$
5	أ	5	$(0001\ 0111\ 1110.0010\ 1010)_2$	5	$(111\ 110\ 000\ 101\ .\ 100\ 010\ 000\ 011)_2$
6	ت	6	$(1001111)_2$	6	$(101101)_2$
7	ب	7	$(10101101)_2$	7	$(- 1001111)_2$
8	ث	8	$(-11101)_2$	8	$(1100001)_2$
9		9	$(-11110)_2$	9	$(-101110)_2$
10		10		10	$(1010001)_2$

المصادر (References) :

1- الالكترونيك الرقمي المتقدم ترجمة ((ضياء مهدي فارس وآخرون)).1991.
2- الالكترونيك الرقمي وتطبيقاته ((تأليف: مالفينو)).
3- Digital computer fundamentals (thematic bartee))
4- Introduction to Digital computer((louis mashelsky))
5- Modern Digital electronics (R.P.Jain

(المحاضرة الرابعة – السادسة) : البوابات المنطقية (Logic Gates)

أولا : النظرة الشاملة (Overview)

أ - الفئة المستهدفة Target Population

طلبة المرحلة: الاولى في المعهد التقني/ النجف - قسم انظمة الحاسوب

ب- مبررات المحاضرة وموضوعاتها Rationale

تعتبر البوابات المنطقية (Logic Gates) وحدة البناء الاساسية في جميع الانظمة الرقمية .
لذلك صممت هذه المحاضرة لكي يتعلم الطالب مبدأ عمل البوابات المنطقية وكيفية نمثيلها كدوائر كهربائية (باستخدام المفاتيح) وكرمز منطقي واستخراج جداول واقعيتها .

ج- الأفكار المركزية Central Ideas

اولا: تمثيل البوابات المنطقية(AND ، OR ، NOT) باستخدام المفاتيح و استخراج جداول واقعيتها .
ثانيا : تمثيل البوابات المنطقية(AND ، OR ، NOT) باستخدام دايود ومقاومة وترانزستور .
ثالثا: تمثيل البوابات المنطقية(XOR ، XNOR) باستخدام البوابات المختلفة و استخراج جداول واقعيتها .
رابعا: تمثيل البوابات المختلفة باستخدام بوابة (NAND) مرة وبوابة (NOR) مرة أخرى .
خامسا : كتابة معادلة اخراج البوابات المنطقية .

د- أهداف المحاضرة Objectives

سيكون الطالب بعد دراسته لهذه المحاضرة قادرا على أن :

- يتعرف على كيفية بناء البوابات المنطقية المختلفة باستخدام المفاتيح.
- يكتب معادلة اخراج البوابات المنطقية المختلفة .
- يرسم الرمز المنطقي الخاص بكل بوابة .
- يتعرف على كيفية تمثيل البوابات المختلفة باستخدام بوابة (NAND) مرة وبوابة (NOR) مرة أخرى.

ثانيا- الاختبار القبلي Pre test

ضع دائرة حول الحرف الذي يسبق الاجابة الصحيحة لكل مما يأتي:

1- البوابات المنطقية هي عبارة عن دوائر الكترونية:

أ- تضع القرارات المنطقية .

ب- تسرع الالكترونات للمرور باتجاهها .

ت- تعمل على نظام الاعداد الثنائي.

ث- تتراوح قيمة اخراجها بين (1- 5) فولت.

2- في الدوائر المنطقية ، المنطق (1) يمثل :

أ- فولتية موجبة.

ب- فولتية عالية.

ت- فولتية سالبة.

ث- فولتية واطئة.

3- ان اخراج بوابة OR ذات المدخلين يساوي صفر في حالة:

أ - كلا المدخلين يساوي (0) .

ب- أحد المدخلين يساوي (1) .

ت- كلا المدخلين يساوي (1) .

ث- أحد المدخلين يساوي (0) .

4- ان اخراج بوابة NAND ذات المدخلين يساوي صفر في حالة:

أ- كلا المدخلين يساوي (1).

ب- كلا المدخلين يساوي (0).

ت- أحد المدخلين يساوي (0) .

ث- أحد المدخلين يساوي (1) .

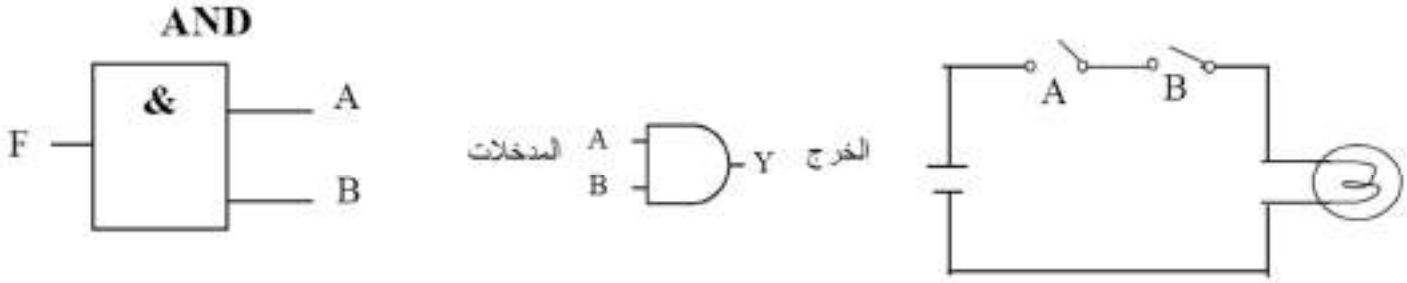
تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة، فاذا حصلت على نسبة اجابة اكثر من 75٪ فأنت لست بحاجة لهذه المحاضرة ، اما اذا حصلت على اقل من ذلك فانتقل الى الخطوة التالية:

مقدمة

إن البوابة المنطقية (logic gate) هي وحدة البناء الأساسية في الأنظمة الرقمية. وحيث إن البوابات المنطقية تستخدم الأعداد الثنائية فإن هذه البوابات تسمى " البوابات المنطقية الثنائية ". إن كل الجهود المستخدمة في البوابات المنطقية تكون إما عالية (HIGH) أو منخفضة (LOW) وفي هذه الحقيبة فإن الجهد العالي (HIGH) سوف يعني الرقم الثنائي "1" في حين أن الجهد المنخفض(LOW) سوف يعني الرقم الثنائي "0" تذكر أن البوابات المنطقية هي دوائر إلكترونية ، وهذه الدوائر تستجيب فقط للجهود العالية وتسمى 1 أو الجهود المنخفضة وتسمى 0.

تبنى كل الأنظمة الرقمية باستخدام ثلاث بوابات منطقية أساسية فقط. هذه البوابات الأساسية هي بوابة " و " (AND gate) وبوابة " أو " (OR gate) وبوابة " النفي " (NOT gate) .

١ – **بوابة "و"** – " AND gate "



شكل (٢ -١) الدائرة الكهربائية لبوابة AND شكل (٢ -٢) الرمز المنطقي لبوابة " و " AND

الدخل		الخرج
المفتاح		المصباح
B	A	Y
off	off	Off
off	on	Off
on	off	Off
on	on	On

جدول (١)

الدخل		الخرج
B	A	Y
0	0	0
0	1	0
1	0	0
1	1	1

جدول (٢)

الدائرة الكهربائية كما بالشكل (١) توضح عمل البوابة " AND " و يلاحظ من هذه الدائرة أن المصباح لا يضيء إلا إذا كان المفتاحان A & B مغلقين On في نفس الوقت وغير هذه الحالة لا يضيء المصباح . كما بجدول رقم (١) .

ونلاحظ أن بوابة "و" AND يكون الخرج لها مساوياً " 1" فقط إذا كان الدخلان A& B كلاهما مساوياً "1" ويمكن التعبير عن ذلك أو توضيح عمل البوابة باستخدام جدول يعرف بجدول الحقيقة وهو موضح في جدول رقم (٢) .

كيفية بناء جدول الحقيقة :

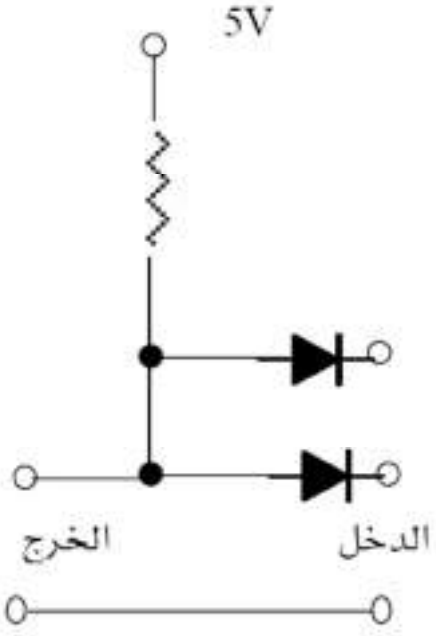
١ – تحدد احتمالات الدخل للبوابة عن طريق استخدام العلاقة :

عدد الاحتمالات = 2^n حيث n عدد مداخل البوابة .

٢ – عند كل حالة من حالات الدخل نحدد حالة الخرج المناظرة .

مثال : إذا كان عدد المداخل 2 فإن الاحتمالات = 2^2 = 4 كما بالجدول رقم (١) . أما إذا كان n=3 فإن عدد الاحتمالات = 8

الدائرة ال إلكترونية لبوابة **AND** باستخدام الثنائيات



الشكل (٢ -٣)

الشكل (٣) يبين تمثيل بوابة "و" AND ذات مدخلين باستخدام الثنائيات وفي هذه الدائرة نجد أن :

- إذا كان الدخلان A&B "0" فإن الثنائيات ستكون في حالة انحياز أمامي وبالتالي جهد الخرج صفراً .
- إذا كان أحد الدخلين A , B "0" فإن الخرج يساوي صفراً لأن أحد الثنائيات يكون في حالة انحياز أمامي .
- إذا كان الدخلان A , B "1" فإن الثنائيات ستكون في حالة انحياز عكسي وبالتالي يون جهد الخرج مساوياً 5v+ أي منطقياً "1"

المعادلة البولية لبوابة **AND** "معادلة الجبر البولي لبوابة **AND**"

الجبر البولي Boolean Algebra هو أحد أشكال المنطق الرمزي والذي يبين كيفية عمل البوابات المنطقية والتعبير البولي هو وسيلة اختزال لتوضيح ما يحدث في الدائرة المنطقية .

معادلة لبوابة **AND** ذات مدخلين

$$A \cdot B = y$$

وتقرأ A و B تساوي الخرج Y أو Y=A and B

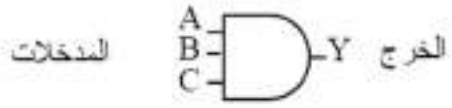
قوانين بوابة " و " **AND**

$$A \cdot 0 = 0$$
$$A \cdot 1 = A$$
$$A \cdot A = A$$
$$A \cdot \overline{A} = 0$$

نلاحظ وجود الشرطة فوق المتغير في القانون الأخير . وهذا يعني نفي المتغير A أو عكس A .

في أحوال كثيرة يكون للدائرة المنطقية ثلاثة مداخل أو أكثر. ويبين الشكل (٤ -أ) الرمز المنطقي لبوابة " و " ذات الثلاثة مداخل وتظهر المداخل الثلاثة على يسار الرمز (A,B,C)والخرج هو Y. كما يبين الشكل (٤ -ب) التعبير البولي للبوابة.

يبين جدول الصواب في الشكل (٤ – ج)الحالات الثمانية المحتملة باستخدام القانون السابق ونلاحظ مجدداً أن خرج البوابة " و " يكون 1 فقط إذا كانت جميع المداخل الثلاثة في الوضع 1.



(أ) الرمز المنطقي لبوابة "و " AND ذات ثلاثة مداخل

(ب) معادلة الجبر البولي ذات ثلاثة مداخل

$$A \cdot B \cdot C = Y$$

الخرج	الدخل		
Y	A	B	C
0	0	0	0
0	1	0	0
0	0	1	0
0	1	1	0
0	0	0	1
0	1	0	1
0	0	1	1
1	1	1	1

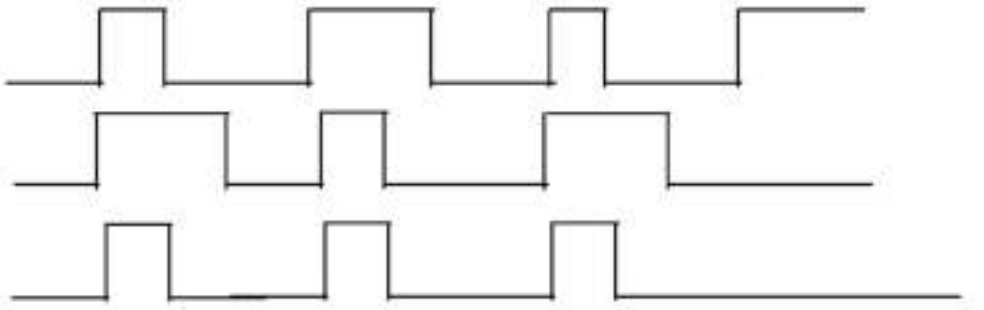
(ج) جدول الحقيقة لبوابة AND ذات ثلاثة مداخل

شكل (٢ -٤)

المخطط البياني الزمني لبوابة **AND** " الشكل الموجي لخرج البوابة "

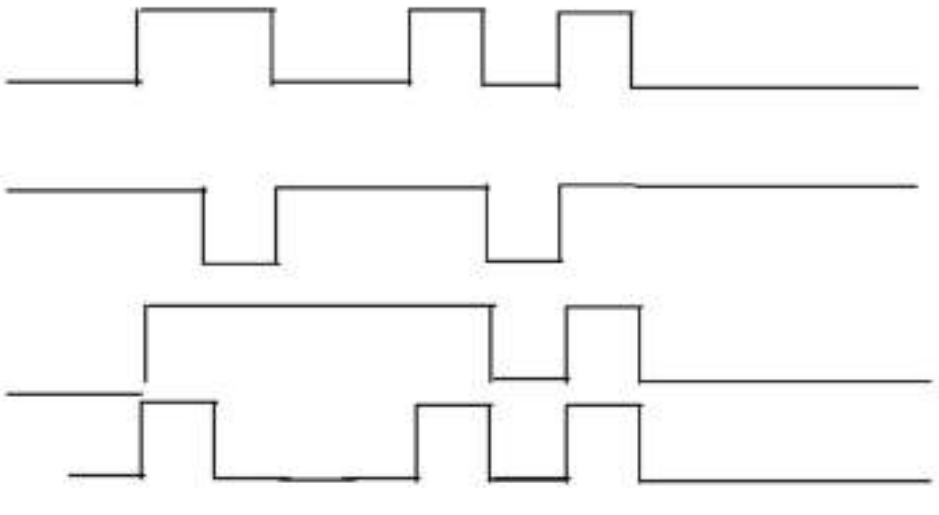
مثال : إرسم المخطط البيانات الزمني لخرج بوابة " و " AND ذات المدخلين إذا كانت إشارات الدخل كما هو موضح في الشكل التالي :

الحل :

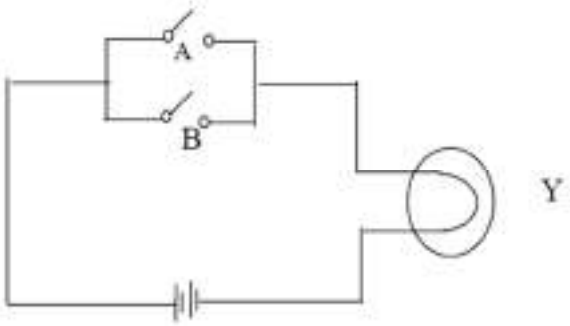


مثال : إرسم المخطط البيانات الزمني لخرج بوابة " و " AND ذات ثلاثة مداخل ، إذا كانت إشارات الدخل كما هو مبين في الشكل التالي :

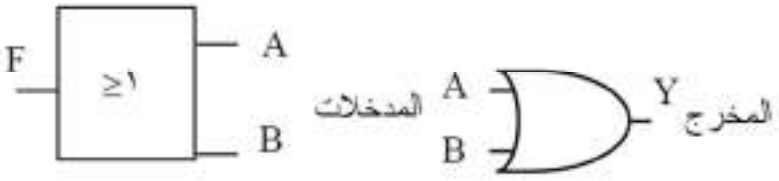
الحل :



٢- بوابة "أو" OR gate



شكل (٢ -٥) الدائرة الكهربائية لبوابة OR



شكل (٢ -٦) الرمز المنطقي لبوابة "أو" OR

الخرج	الدخل	
المصباح	المفتاح	
Y	A	B
Off	off	off
On	on	off
On	off	on
On	on	on

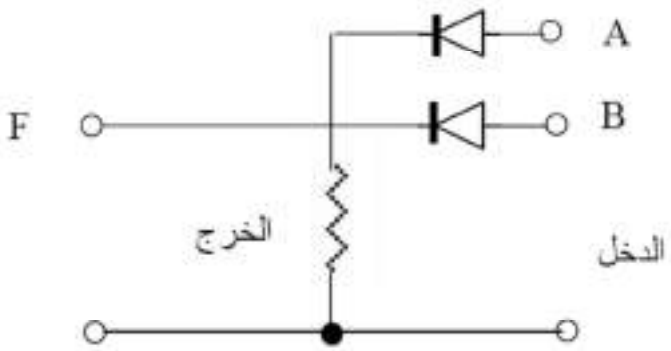
جدول (٣)

الخرج	الدخل	
Y	A	B
0	0	0
1	1	0
1	0	1
1	1	1

جدول (٤)

الدائرة الكهربائية كما بالشكل (٢ -٥) توضح عمل البوابة " OR " و يلاحظ من هذه الدائرة أن المصباح يضيء إذا كان أحد المفتاحين A & B مغلق On أو كلاهما معاً . كما بجدول رقم (٣) ونلاحظ أن بوابة "أو" OR يكون الخرج لها مساوياً " 0" فقط إذا كان الدخلان A& B كلاهما مساوياً "0" وعدا ذلك يكون الخرج لها مساوياً " 1 " ويمكن التعبير عن ذلك أو توضيح عمل البوابة باستخدام جدول يعرف بجدول الحقيقة كما هو موضح في جدول رقم (٤) .

الدائرة ال إلكترونية لبوابة **OR** باستخدام الثنائيات



شكل (٢-٧)

نلاحظ من الدائرة في الشكل (٢ -٧) ما يلي :

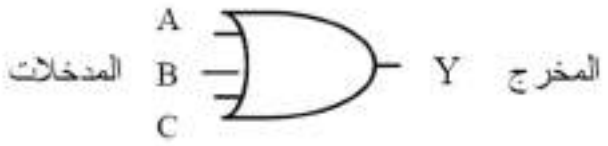
- إذا كان الدخلان A و B "0" تكون الثنائيات في حالة انحياز عكسي ويكون الخرج مساوياً الصفر ويكون المصباح غير مضيء . الخرج = 0
- إذا كان أحد الدخلين A و B "1" يكون الثنائيات في حالة انحياز أمامي ويكون جهد الخرج موجباً وبالتالي يضيء المصباح . الخرج = 1 .
- إذا كان الدخلان A و B "1" تكون الثنائيات في حالة انحياز أمامي ويكون جهد الخرج موجباً وبالتالي يضيء المصباح . الخرج = 1 .

معادلة الجبر البولي لبوابة OR

$$A + B = Y$$

وتقرأ A أو B تساوي Y وتقرأ A OR B = Y

مثال : إرسم الرمز المنطقي لبوابة OR ذات الثلاثة مداخل ؟ واكتب جدول الحقيقة لها .



الرمز المنطقي لبوابة OR ذات الثلاثة مداخل

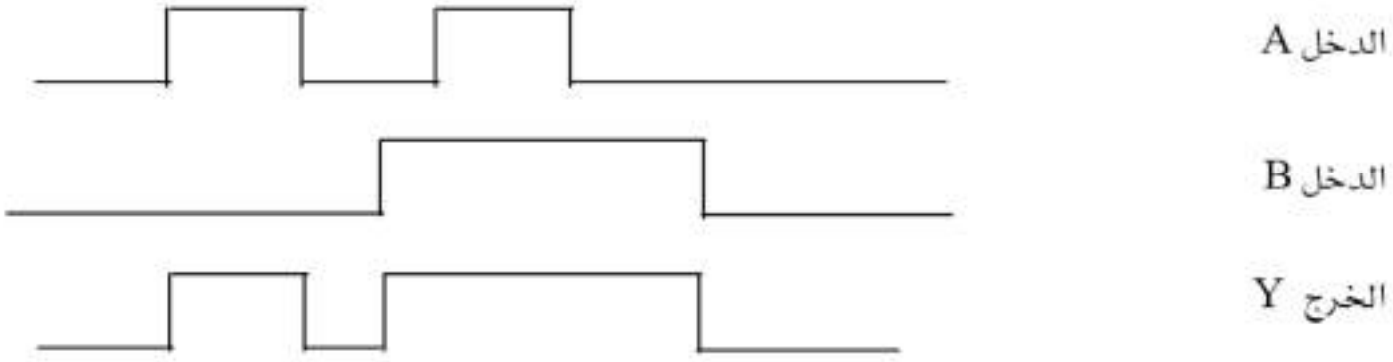
الدخل			الخرج
C	B	A	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

جدول الحقيقة لبوابة OR ذات الثلاثة مداخل

المخطط البياني الزمني لبوابة OR

مثال : ارسم المخطط البياني الزمني لبوابة OR ذات مدخلين إذا كانت إشارات الدخل كما هو موضح في الشكل التالي ، واكتب معادلة الجبر البولي الخاصة بها ؟

الحل :

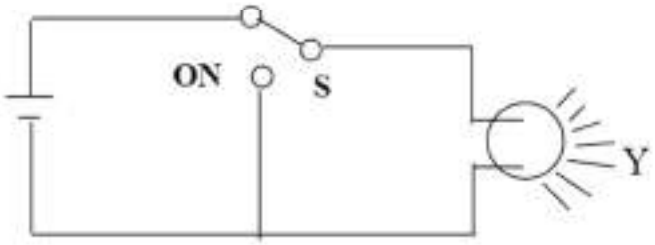


معادلة الجبر البولي لبوابة OR ذات مدخلين $A + B = Y$

٢ – بوابة النفي NOT gate

الرمز المنطقي لبوابة **NOT**

الدائرة الكهربائية لبوابة النفي **NOT**

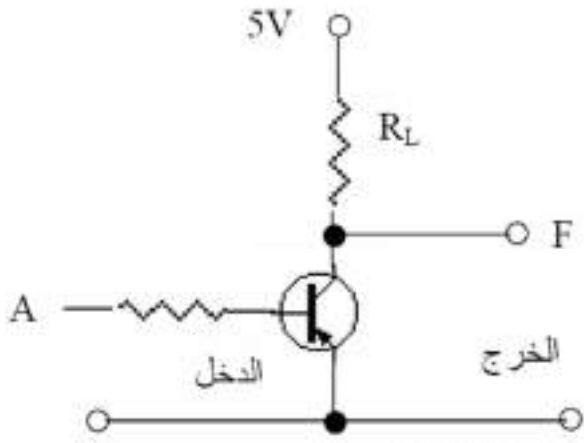


الخرج	الدخل
المصباح	المفتاح
Y	A
on	Off
off	on

شكل (٢ -٨) الدائرة الكهربائية لبوابة NOT .

من الشكل (٢ -٨) الذي يوضح عمل بوابة النفي NOT حيث تعكس إشارة الدخل إذا كان الدخل OFF يكون الخرج ON والعكس لذلك بوابة NOT تنفي الدخل . وهي بوابة لها دخل وخرج واحد .

الدائرة ال إلكترونية لبوابة **NOT** باستخدام الترانزيستور



الشكل (٢ -٩) دائرة NOT باستخدام ترانزيستور

في الدائرة المبينة بالشكل (٢ -٩) عند عدم وجود جهد عند الطرف A لا يمر تيار في الترانزيستور ويكون جهد الخرج 5V . وعند وضع جهد 5V عند الطرف A يمر تيار في القاعدة بالنسبة للترانزيستور وبالتالي يعمل الترانزيستور ويكون جهد الخرج تقريباً صفراً .

وهكذا فإن " صفر " عند الدخل تعطي " واحد " عند الخرج و "واحد " عند الدخل يعطي " صفر " عند الخرج ، وهذا هو عمل بوابة النفي NOT

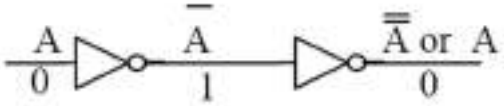
جدول الحقيقة لبوابة NOT

الدخل	الخرج
A	Y
0	1
1	0

معادلة الجبر البولي لبوابة NOT

$$Y = \overline{A}$$

إذا كان



$A = 1 \qquad \overline{A} = 0 \qquad \therefore \quad \overline{\overline{A}} = 1$

المخطط البياني الزمني لبوابة NOT

مثال : ارسم الرسم البياني الزمني لخرج بوابة النفي NOT إذا كانت إشارة الدخل كما هو موضح في الشكل التالي :

الحل :

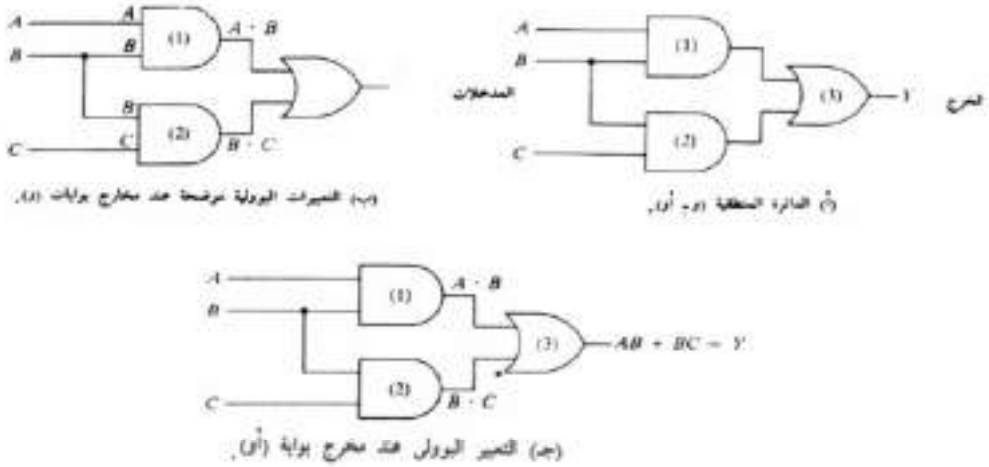
الدخل A

الخرج Y

تجميع البوابات المنطقية

تعتبر البوابات السابقة دراستها هي اللبنة الأساسية لبناء الدوائر المنطقية التي تؤدي وظائف معينة ويمكن تجميع البوابات المنطقية بأسلوب :

منطق " و – أو " "AND - OR gates"



(ب) التعبيرات البولية توضحة عند مخارج بوابات (أ).

(أ) الدائرة المنطقية (و- أو).

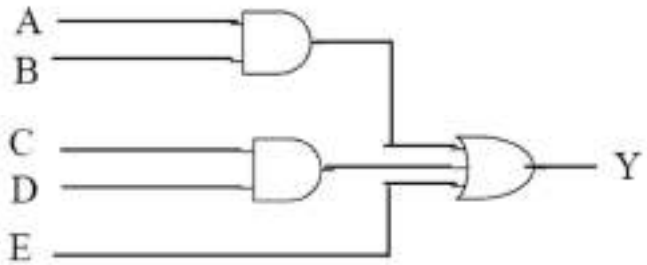
(جـ) التعبير البولي عند مخرج بوابة (أو).

شكل (٢ – ١٠) تجميع البوابات المنطقية

مثال : ارسم الدائرة المنطقية لتمثيل التعبير المنطقي $Y = A . B + C . D + E$ باستخدام منطق " و – أو " .

الحل :

باستخدام منطق " و - أو " .



$$Y = A . B + C . D + E$$

أسئلة وتمارين

س ١ – اشرح بوابة AND مع رسم الرمز – الدائرة الكهربائية وكتابة جدول الحقيقة ومعادلة الجبر البولي ؟

س٢ : ارسم رمز بوابة OR والدائرة الكهربائية واشرح كيف تعمل البوابة ثم اكتب جدول الحقيقة ومعادلة الجبر البولي ؟

س٣ : ارسم المخطط الزمني لبوابة OR ذات مدخلين ؟

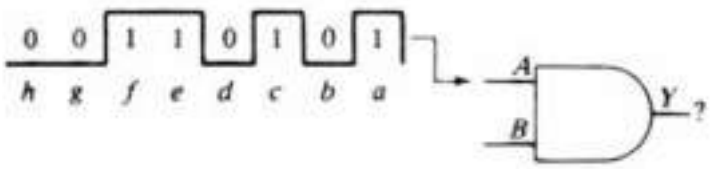
س٤ : ارسم بوابة NOT واشرح الدائرة ال إلكترونية لهذه البوابة مع الرسم ؟

س ٥ : ارسم الدائرة المنطقية لتمثيل التعبير المنطقي التالي : $A \cdot B \cdot C \cdot D + \overline{A} \cdot \overline{C} = Y$

س٦ : كيف تكون سلسلة النبضات الخارجة في الشكل(٢ – ١١)عندما يكون B :؟

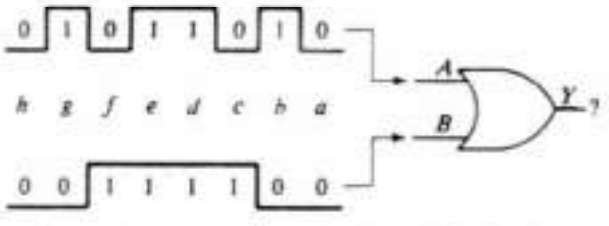
١ - B = 1

٢ - B = 0



شكل (٢ -١١) مسألة سلسلة النبضات

س٧ : كيف تكون سلسلة النبضات الخارجة في الشكل(٢ – ١٢)عندما يكون الدخل كما هو موضح؟

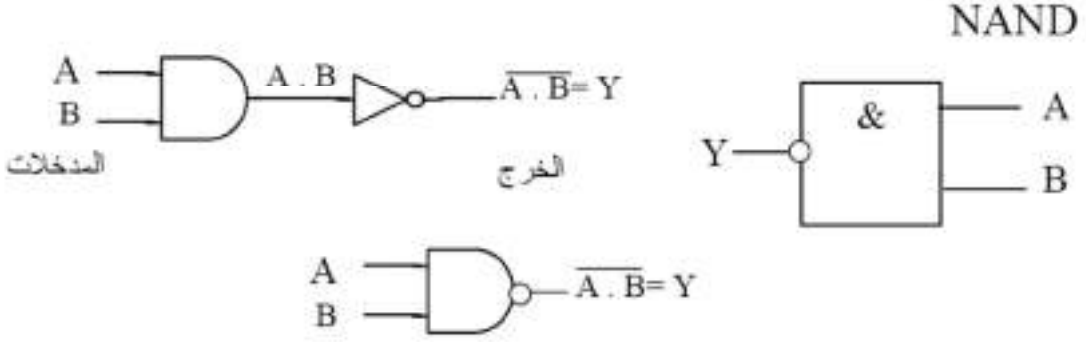


شكل (٢ -١٢) مسألة سلسلة النبضات

إن النظم الرقمية شديدة التعقيد، مثل الحاسبات الكبيرة ، يتم بناؤها بواسطة البوابات المنطقية الأساسية. وتعتبر بوابات " و " ، " أو " و النفي هي البوابات الأساسية ومن هذه النبائط الأساسية يمكن أن تصنع أربع بوابات منطقية مفيدة أخرى. وتسمى هذه البوابات الأخرى : بوابة " نفي و " (NAND) ،وبوابة نفي أو " (NOR) وبوابة أو الاستثنائية (Exclusive OR) ، وبوابة نفي أو الاستثنائية Exclusive NOR .

١ - **بوابة نفي و** NAND gate

لننظر إلى الرسم التخطيطي للرمز المنطقي المبين في شكل (٢ -١) . ففيه بوابة " و " قد تم ربطها مع عاكس (بوابة نفي). يتم ضرب المداخل A,B منطقياً لتكوين التعبير البولي (A.B) ثم تعكس عن طريق بوابة النفي ،لذا نلاحظ أن الشرطة العليا " ____ " قد أضيفت إلى التعبير البولي دلالة على بوابة "نفي و"(NAND) .



شكل (٢ -١) الرمز المنطقي لبوابة نفي " و"

يظهر الرمز المنطقي المستخدم لبوابة " نفي و " في أسفل شكل (٢ - ١). لاحظ أن رمز " نفي و " هو رمز بوابة " و " مع إضافة دائرة صغيرة عند المخرج. وتسمى هذه الدائرة بالدائرة العاكسة.

معادلة الجبر البولي لبوابة NAND

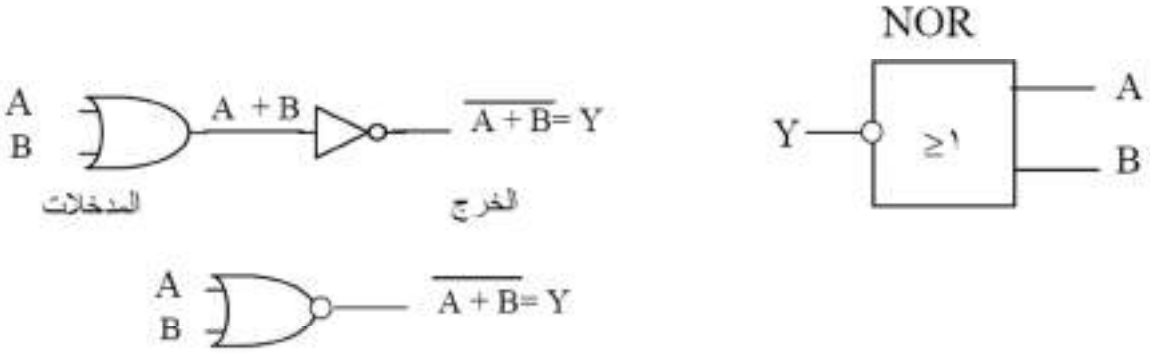
$$Y = \overline{A \cdot B}$$

جدول الحقيقة " الصواب " لبوابة NAND

الدخل		الخرج
B	A	Y
0	0	1
0	1	1
1	0	1
1	1	0

٢ - **بوابة نفي أو** NOR gate

لننظر إلى الرسم التخطيطي للرمز المنطقي المبين في شكل (٣ -٢) . ففيه بوابة "أو" قد تم ربطها مع عاكس (بوابة نفي). يتم جمع المداخل A,B منطقياً لتكوين التعبير البولي (A+ B) .ثم تعكس عن طريق بوابة النفي ،لذا نلاحظ أن الشرطة العليا "____" قد أضيفت إلى التعبير البولي دلالة على بوابة "نفي" أو"(NOR)



شكل (٣ -٢) الرمز المنطقي لبوابة نفي "أو"

يظهر الرمز المنطقي المستخدم لبوابة "نفي أو" في أسفل شكل (٣ - ٢). لاحظ أن رمز "نفي أو" هو رمز بوابة "أو" مع إضافة دائرة صغيرة عند المخرج. وتسمى هذه الدائرة بالدائرة العاكسة.

معادلة الجبر البولي للبوابة :

$$Y = \overline{A + B}$$

جدول الحقيقة لبوابة **NOR**

الدخل		الخرج
B	A	Y
0	0	1
0	1	0
1	0	0
1	1	0

٣ – بوابة "أو" الاستثنائية Exclusive OR gate = EXOR

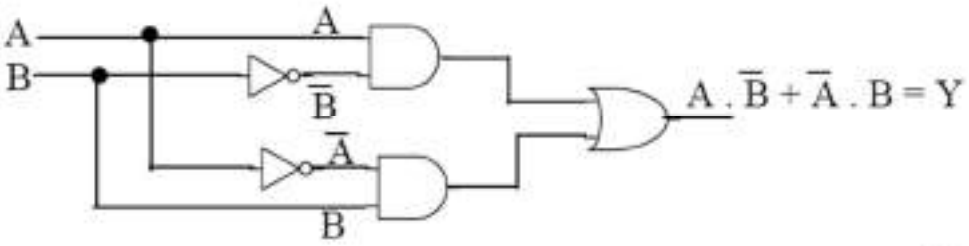
تسمى هذه البوابة بالمقارنة كما يشار إليها بأنها بوابة " أيهما وليس كليهما " حيث تعطي خرج حقيقي "1" عند اختلاف مستويات الدخل وما عد ذلك يكون الخرج "0" وتسمى كذلك بوابة XOR

شكل (٣ -٢) الرمز المنطقي لبوابة "أو" الاستثنائية

معادلة الجبر البولي EXOR

$$Y = A \oplus B \longrightarrow Y = A \cdot \overline{B} + \overline{A} \cdot B$$

تمثيل بوابة XOR ببوابات AND و OR و NOT

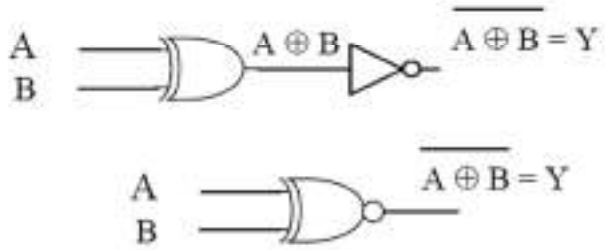


جدول الحقيقة "الصواب"

الدخل		الخرج
B	A	Y
0	0	0
0	1	1
1	0	1
1	1	0

٤ - بوابة نفي أو الاستثنائية EXNOR

يتم في شكل (٣ – ٤) عكس خرج بوابة " أو الاستثنائية ". ويسمى خرج العاكس (بوابة النفي) على اليمين بدالة "نفي أو الاستثنائية "ويرمز لها بالرمز EXNOR . لذا فمما سبق عرفنا أن بوابة أو الاستثنائية تنتج التعبير البولي $A \oplus B = Y$ وبعكس هذا التعبير نحصل على $\overline{A \oplus B} = Y$. وهي لا تعطي خرج حقيقي "1" إلا عند اتفاق مستويات الدخل وما عدا ذلك يكون الخرج "0" وتسمى كذلك بوابة XOR



شكل (٣ -٤) الرمز المنطقي لبوابة نفي "أ و"الاستثنائية

معادلة الجبر البولي **EXOR**

$$Y = \overline{A \oplus B}$$

جدول الحقيقة " الصواب"

الخرج	الدخل	
Y	A	B
1	0	0
0	1	0
0	0	1
1	1	1

ثالثا : الاختبار الذاتي Self test

اكمل الفراغات التالية بما يناسبها :

1- ان بوابة AND مكافئة لعمل ..... .

أ- مفاتيح مربوطة على التوالي.

ب- مفاتيح مربوطة على التوازي.

2- ان اخراج بوابة XOR ذات المدخلين يساوي (1) في حالة :

أ- أن يكون كلا المدخلين ذو فولتية عالية .

ب- أن يكون كلا المدخلين ذو فولتية واطئة.

ت- أن يكون احدهما ذو فولتية واطئة والاخر ذو فولتية عالية.

ث- أن يكون كلا المدخلين متساويي الفولتية .

3- ان الاشارة الخارجة من بوابة النفي (NOT) التي اشارة ادخالها 10100 هي :

أ- (01111) .

ب- (10101) .

ت- (01011) .

ث- (01011)

4- ان العمل الاساسي لبوابة النفي هو :

أ- وقف الاشارة الخارجة .

ب- عكس الاشارة الداخلة .

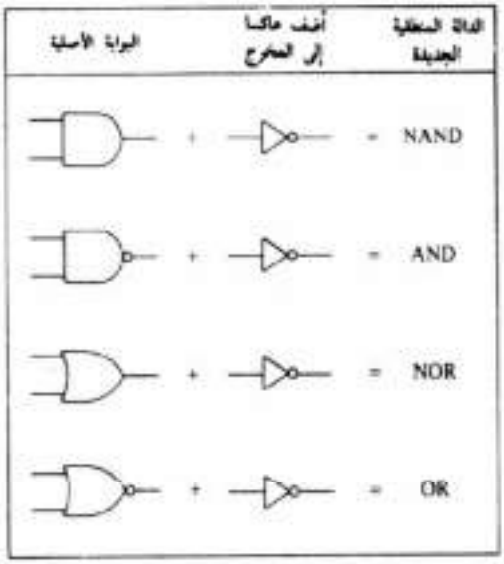
ت- جعل الاشارة الخارجة تساوي (0) فولت .

ث- تصفير قيمة الاشارة الخارجة من (1) الى (0) فولت.

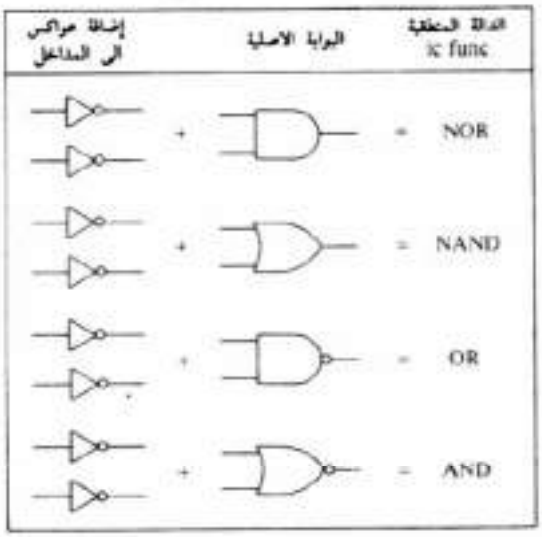
تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

تحويل البوابات باستخدام العواكس

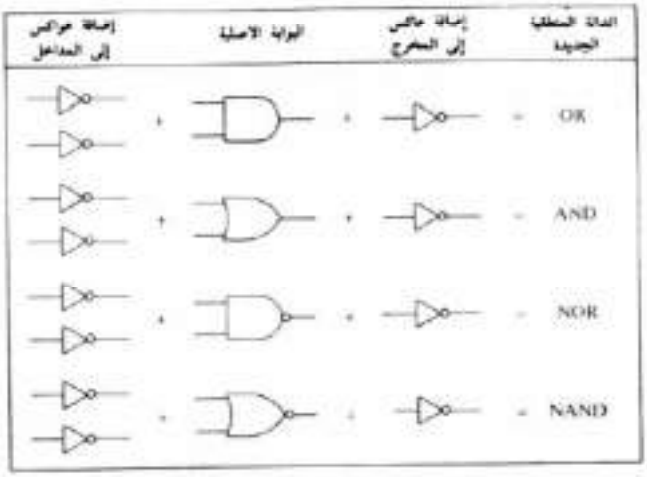
عند استعمال البوابات المنطقية تظهر الحاجة إلى التحويل إلى دالة منطقية أخرى. والطريقة السهلة للتحويل هي استخدام عواكس (بوابات النفي) على مداخل أو مخارج البوابات. وقد أوضحنا كيف أن عاكساً يوصل بمخرج بوابة " و " ينتج دالة " نفي و " لذا فالجداول التالية توضح هذة التحويلات.



شكل(٢-٥)تأثير عكس مخارج البوابات



شكل (٢ – ٦) تأثير عكس مداخل البوابات



شكل (٢ – ٧) تأثير عكس مداخل ومخارج البوابات

تجميع البوابات المنطقية

تعتبر البوابات التي سبق دراستها هي اللبنة الأساسية لبناء الدوائر المنطقية التي تؤدي وظائف معينة ويمكن تجميع البوابات المنطقية بأسلوبين أو طريقتين :

١ – منطق " و – أو " "AND - OR gates"

٢ – منطق " نفي و " "NAND gates"

ويعتبر المنطق الثاني هو الأكثر استخداماً

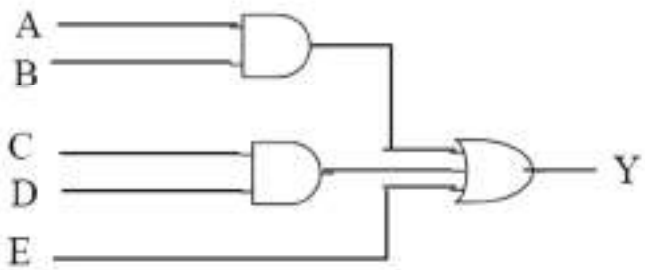
مثال : ارسم الدائرة المنطقية لتمثيل التعبير المنطقي $Y = A \cdot B + C \cdot D + E$

أولا : باستخدام منطق " و – أو " .

ثانيا : باستخدام منطق " نفي و " .

الحل :

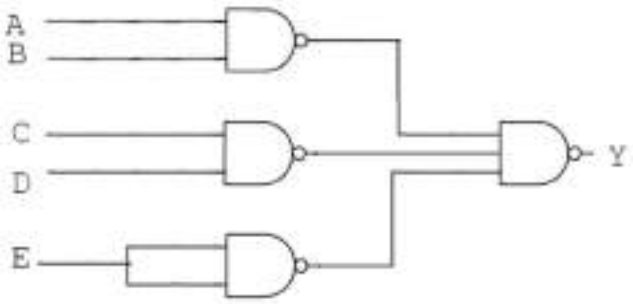
١ – باستخدام منطق " و - أو " .



$$F = A \cdot B + C \cdot D + E$$

٢ – باستخدام منطق " نفي و "

استبدال كل البوابات في المنطق السابق ببوابات " نفي و " NAND



$$Y = A \cdot B + C \cdot D + E$$

أسئلة وتمارين

س١ : اكتب التعبير البولي وارسم الرمز المنطقي لبوابة نفي و (NAND) ذات الأربعة مداخل؟

س٢ : اكتب التعبير البولي وارسم الرمز المنطقي لبوابة نفي أو (NOR) ذات الأربعة مداخل؟

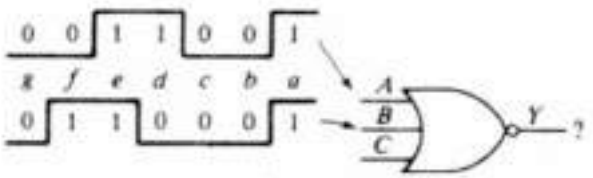
س٣ : اكتب التعبير البولي وارسم الرمز المنطقي لبوابة أو الاستثنائية(EXOR) ذات الأربعة مداخل؟

س٤ : اكتب التعبير البولي وارسم الرمز المنطقي لبوابة نفي أو الاستثنائية(EXNOR) ذات الأربعة مداخل؟

س٥ : كيف تكون سلسلة النبضات الخارجة في الشكل (٣ – ٨)عندما يكون الدخل C:

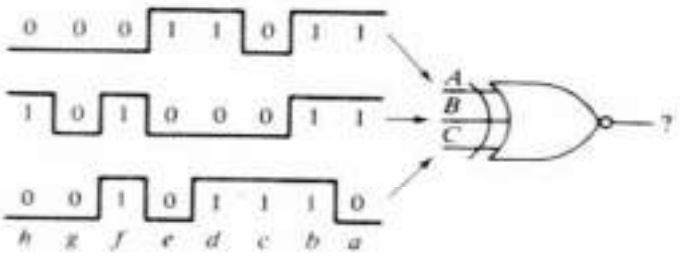
١ - $C = 1$ دائماً

٢ - $C = 0$ دائماً



شكل (٣ -٨) مسألة سلسلة النبضات

س٦ : كيف تكون سلسلة النبضات الخارجة من بوابة نفي أو الاستثنائية في الشكل (٣ – ٩)



شكل (٣ -٩) مسألة سلسلة النبضات

س٧ : ارسم الدائرة المنطقية لتمثيل التعبير المنطقي $\overline{A} \cdot B \cdot C + A \cdot \overline{B} \cdot C + A \cdot B \cdot \overline{C} = Y$ مستخدماً عواكس،بوابات "و" وبوابة "أو" واحدة؟

رابعا : الاختبار البعدي Post test

1- من جدول الحقيقة لاحدى الدوائر المنطقية لاحظنا بانه فقط عندما تكون قيمة المداخل (A=B=0) ، تكون قيمة الاخراج(Y=0) وبخلاف ذلك تكون (Y=1) نستنتج من ذلك بان الدائرة هي دائرة بوابة :

أ- AND .

ب- OR .

ت- NAND .

ث- XNOR .

2- من جدول الحقيقة لاحدى الدوائر المنطقية لاحظنا بانه فقط عندما تكون قيمة المداخل (A=B=0) و(A=B=1) تكون قيمة الاخراج(Y=1) وبخلاف ذلك تكون (Y=0) نستنتج من ذلك بان الدائرة هي دائرة بوابة :

أ- NOR .

ب- XOR .

ت- AND .

ث- XNOR .

3- من جدول الحقيقة لاحدى الدوائر المنطقية لاحظنا بانه فقط عندما تكون قيمة المداخل (A=B=0) تكون قيمة الاخراج(Y=1) وبخلاف ذلك تكون (Y=0) نستنتج من ذلك بان الدائرة هي دائرة بوابة :

أ- NOR .

ب- XOR .

ت- AND .

ث- XNOR .

4- من جدول الحقيقة لاحدى الدوائر المنطقية لاحظنا بانه فقط عندما تكون قيمة المداخل(A=B=1) تكون قيمة الاخراج (Y=1) وبخلاف ذلك تكون (Y=0) نستنتج من ذلك بان الدائرة هي دائرة بوابة :

أ- NOR .

ب- XOR .

ت- AND .

ث- NAND .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

ثالثا : مفاتيح الاجابة على الاختبارات					
الاختبار القبلي Pre test		الاختبار الذاتي Self test		الاختبار البعدي Post test	
رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة
1	ت	1	أ	1	ب
2	ب	2	ت	2	ث
3	أ	3	ت	3	أ
4	أ	4	ب	4	ث
5		5		5	
6		6		6	
7		7		7	
8		8		8	
9		9		9	
10		10		10	

المصادر (References) :

1- الالكترونيك الرقمي المتقدم ترجمة ((ضياء مهدي فارس وآخرون)).1991.
2- Digital Principles &Application
3- Digital computer fundamentals (thematic bartee))
4- Introduction to Digital computer((louis mashelsky))
5- Modern Digital electronics (R.P.Jain
6- الالكترونيك الرقمي وتطبيقاته ((تأليف: مالفينو)).

(المحاضرة السابعة= الثامنة) : الجبر البوليني (Boolean Algebra)

أولا : النظرة الشاملة (Overview)

أ - الفئة المستهدفة Target Population

طلبة المرحلة: الاولى في المعهد التقني/ النجف - قسم انظمة الحاسوب

ب- مبررات المحاضرة وموضوعاتها Rationale

لقد وضعت قوانين وقواعد جبر بولين (Boolean Algebra) لتسهيل تحليل وتبسيط وتصميم الدوائر المنطقية

لذلك صممت هذه المحاضرة لكي يتعلم الطالب البديهيات والعلاقات الجبرية المنطقية وكيفية استخدامها في تبسيط وتصميم الدوائر والمعادلات المنطقية المختلفة .

ج- الأفكار المركزية Central Ideas

اولا: العلاقات الجبرية البولينية ونظريتا دي موركان.

ثانيا: تبسيط الدوال المنطقية باستخدام قوانين ونظريات الجبر البوليني .

ثالثا: ايجاد جدول الحقيقة لدوائر تستخدم بوابات مختلفة .

رابعا :كتابة المعادلة المنطقية من جدول الواقع –اما باستخدام نتاج المجموع او مجموع النتاج .

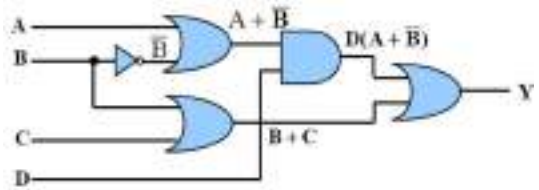
د- أهداف المحاضرة Objectives

سيكون الطالب بعد دراسته لهذه المحاضرة قادرا على أن :

- يتعرف على كيفية استخدام قوانين ونظريات الجبر البوليني في تبسيط الدوال المنطقية المختلفة .
- يستنتج معادلات الاخراج لدوائر منطقية مختلفة
- يتعرف على كيفية تنفيذ البوابات المختلفة باستخدام نوع واحد من البوابات (NOR أو NAND)

ثانيا- الاختبار القبلي Pre test

1- أكتب معادلة أخرج الدائرة المنطقية التالية :



2- أكتب جدول واقعية الدالة المنطقية التالية :

$$Y = \overline{A}\,\overline{B}\,C + \overline{A}\,B\,C + A\,\overline{B}\,C$$

3- أرسم الدائرة المنطقية المكافئة للمعادلة التالية : $Y = \overline{A}\,B\,\overline{C} + A\,B\,\overline{C}$

4- بسط المعادلة المنطقية التالية باستخدام قوانين الجبر البوليني : $Y = A\,B + A\,(A + C) + B\,(A + C)$

5- أرسم الدائرة المنطقية المكافئة المعادلة المبسطة في السؤال السابق .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة، فاذا حصلت على نسبة اجابة اكثر من 75٪ فأنت لست بحاجة لهذه المحاضرة ، اما اذا حصلت على اقل من ذلك فانتقل الى الخطوة التالية:

التعبير البوليني لدائرة منطقية The Boolean Expression for a Logic Circuit

لاستنتاج التعبير البوليني لأي دائرة منطقية، نبدأ من المدخلات في أقصى اليسار متجهين إلى الخرج النهائي للدائرة وذلك بكتابة الخرج لكل بوابة. وكمثال على ذلك، نفترض الدائرة المنطقية الموضحة في شكل (٢ -١٨). ويمكن استنتاج التعبير البوليني لهذه الدائرة كما يلي:

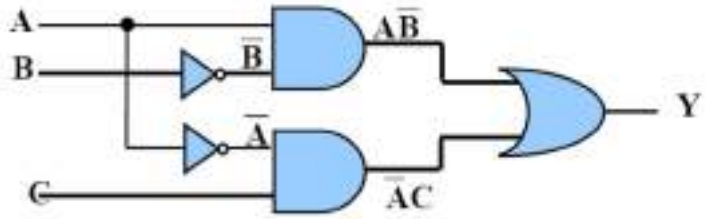
١. التعبير البوليني لبوابة AND والتي لها الدخلان $A, \overline{B}$ هو $A\overline{B}$.

٢. التعبير البوليني لبوابة AND والتي لها الدخلان $C, \overline{A}$ هو $\overline{A}C$.

٣. ويكون التعبير البوليني لبوابة OR والتي لها الدخلان $A\overline{B}, \overline{A}C$ هو $A\overline{B} + \overline{A}C$.

وعلى ذلك يكون الخرج النهائي للدائرة هو:

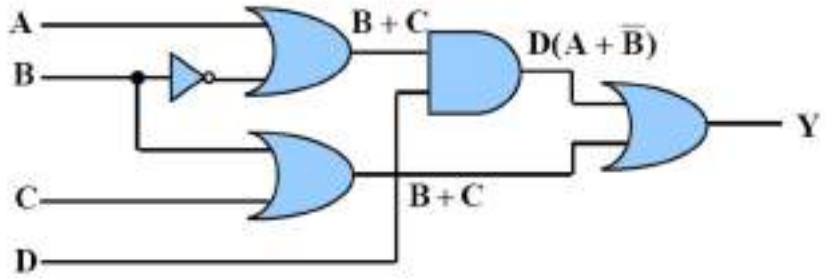
$$Y = A\overline{B} + \overline{A}C$$



شكل (٢ -١٨) دائرة منطقية تبين كيفية استنتاج التعبير البوليني للخرج.

مثال (٢ -٢): اكتب التعبير البوليني للدائرة المنطقية الموضحة في شكل (٢ -١٩).

الحل:



شكل (٢ -١٩) الدائرة المنطقية لمثال (٢ -٢) وتبين كيفية الحصول على التعبير البوليني للخرج.

ويكون التعبير البوليني لخرج الدائرة النهائي هو:

$$Y = D(A + \overline{B}) + (B + C)$$

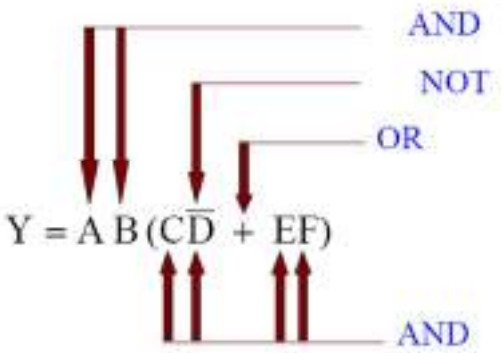
تمثيل دائرة منطقية باستخدام التعبير البوليني

Implementation of a Logic Circuit Using a Boolean Expression :

عن طريق بعض الأمثلة التوضيحية سوف نناقش الآن كيف يمكن تمثيل دائرة منطقية ما بمعلومية التعبير البوليني لها. لنفترض الآن أننا نريد تمثيل التعبير البوليني الآتي:

$$Y = AB(C\overline{D} + EF)$$

عند تقسيم هذا التعبير البوليني نجد أن المتغيرات A, B ثم $(C\overline{D} + EF)$ تمثل ثلاث مدخلات لبوابة AND، والمتغير $(C\overline{D} + EF)$ يمكن تشكيله بأخذ $C, \overline{D}$ على دخلي بوابة AND، وأخذ E,F على دخلي بوابة AND أخرى، ثم نأخذ كل من خرج البوابتين AND على دخلي بوابة OR. ويمكن توضيح عملية التقسيم السابقة كالآتي:



قبل أن نبدأ في تمثيل هذا التعبير البوليني يجب أولا الحصول على الحد $(C\overline{D} + EF)$ ؛ ولكن قبل الحصول على هذا الحد علينا الحصول على الحدين $C\overline{D}, EF$ ؛ ولكن قبل ذلك يجب الحصول على المتغير $\overline{D}$ ، وبذلك كما نرى هناك سلسلة من العمليات المنطقية يجب أن تتم على الترتيب. وعلى ذلك فإن البوابات المنطقية المطلوبة لتمثيل التعبير البوليني $AB(C\overline{D} + EF)$ هي:

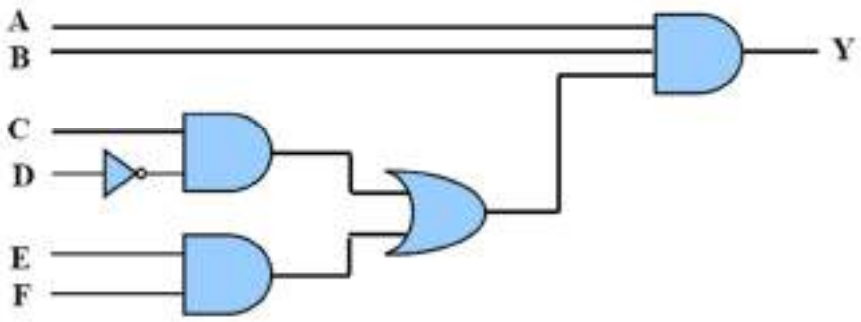
١. بوابة NOT لتمثيل المتغير $\overline{D}$.

٢. بوابتي AND لكل منهما مدخلان لتمثيل الحدين $C\overline{D}, EF$.

٣. بوابة OR ذات مدخلين لتمثيل الحد $(C\overline{D} + EF)$.

٤. بوابة AND لها ثلاثة مدخلات لتمثيل الخرج النهائي Y.

والدائرة المنطقية التي تمثل التعبير البوليني السابق موضحة في شكل (2 -20).



الشكل (2 -20) الدائرة المنطقية للتعبير البوليني $AB(C\overline{D}+EF)$.

2 -11 تمثيل الدائرة المنطقية من خلال جدول الحقيقة

Implementation of a Logic Circuit via a Truth Table

سوف نتعرف في هذا الجزء على كيفية تمثيل دائرة منطقية من خلال جدول الحقيقة الخاص بها بدلا من التعبير البوليني، حيث يمكن لنا كتابة التعبير البوليني من جدول الحقيقة ومن ثم تمثيل الدائرة المنطقية. جدول (2 -12) يبين جدول الحقيقة لدائرة منطقية ما، والمراد تمثيل هذه الدائرة والتي تحقق هذا الجدول. يمكن الحصول على التعبير البوليني من جدول الحقيقة كما يلي:

1. نحدد من جدول الحقيقة تشكيلة المدخلات التي تعطي الخرج Y = 1، ففي الصف الثالث من الجدول نجد أن الخرج Y = 1 حيث قيمة المدخلات هي A = 0, B = 1, C = 0، وتكتب بالتعبير البوليني على الشكل $\overline{A}B\overline{C}$ حيث يكتب المتغير برمزه إذا كان يساوي (1)، ويكتب بعكس رمزه إذا كان يساوي (0)، وبالمثل فإن الخرج يساوي (1) في الصف السابع من الجدول والذي يكتب بالتعبير البوليني على الشكل $AB\overline{C}$.

المدخلات			الخرج
A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

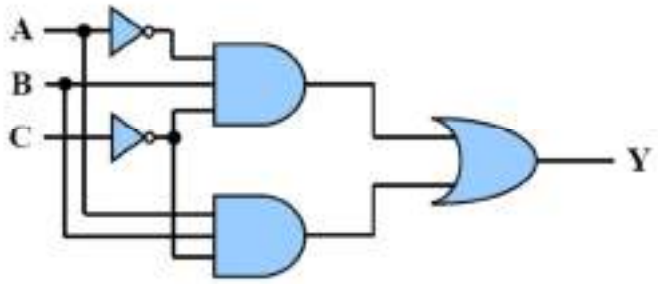
الجدول (2 -12) جدول الحقيقة لدائرة منطقية ما يراد تمثيلها.

2. بتجميع التعبيرات البولينية التي تعطي الخرج Y = 1 عن طريق بوابة OR نحصل على:

$$Y = \overline{A}B\overline{C} + AB\overline{C}$$

الحد الأول في التعبير البولياني السابق $\overline{A}B\overline{C}$ يمكن تمثيله عن طريق تجميع المتغيرات الثلاثة $\overline{A}, B, \overline{C}$ على بوابة AND، والحد الثاني من التعبير البولياني $AB\overline{C}$ يمكن تمثيله عن طريق تجميع المتغيرات الثلاثة $A, B, \overline{C}$ على بوابة AND، وبتجميع الحدين الأول والثاني على بوابة OR يمكننا الحصول على التعبير البولياني للخرج Y.

والبوابات المنطقية المطلوبة لتمثيل التعبير البولياني السابق هي: بوابتان NOT لتمثيل كل من المتغيرين $\overline{A}, \overline{C}$ ؛ بوابتان AND ذات ثلاثة مدخلات لتمثيل الحدين $\overline{A}B\overline{C}$ ، $AB\overline{C}$ ، وبوابة OR بدخلين لنحصل منها على دالة الخرج النهائي $\overline{A}B\overline{C} + AB\overline{C}$ ، والدائرة المنطقية التي تمثل هذا التعبير البولياني موضحة في شكل (2 -21).



الشكل (2 -21) الدائرة المنطقية للتعبير البولياني $\overline{A}B\overline{C} + AB\overline{C}$.

مثال (2 -3): استنتج الدائرة المنطقية المطلوبة لتمثيل جدول الحقيقة الموضح في جدول (2 -13).

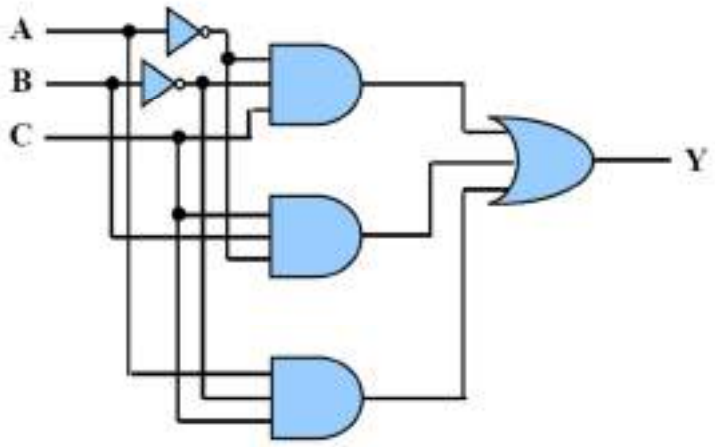
المدخلات			الخرج
A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

الجدول (2 -13) جدول الحقيقة للدائرة المنطقية المراد تمثيلها.

الحل: التعبير البوليني لجدول الحقيقة المبين يمكن كتابته عن طريق تجميع الحدود التي تعطي الخرج Y = ١ (الحدود المظللة بالجدول) على بوابة OR كما يلي:

$$Y = \overline{A}\overline{B}C + \overline{A}BC + A\overline{B}C$$

ويكون التمثيل النهائي للدائرة كما هو موضح بشكل (٢ -٢٢).



شكل (٢ -٢٢) الدائرة المنطقية للتعبير البوليني $\overline{A}\overline{B}C + \overline{A}BC + A\overline{B}C$.

تحويل التعبير البوليني إلى جدول الحقيقة

-: Converting a Boolean Expression to a Truth Table

جدول الحقيقة ببساطة هو عبارة عن قائمة بالتشكيلات المحتملة لعدد المتغيرات وقيم الخرج المقابلة لها (٠ or ١). وللتعبير البوليني المحتوي على متغيرين، هناك أربع تشكيلات مختلفة ($٢^٢ = ٤$). وللتعبير المحتوي على ثلاثة متغيرات، هناك ثماني تشكيلات مختلفة ($٢^٣ = ٨$)، وهكذا.

لعمل جدول الحقيقة للتعبير البوليني، نبدأ بكتابة التشكيلات المختلفة حسب عدد المتغيرات الموجودة بالتعبير البوليني ثم نضع (١) في عمود الخرج (Y) لكل حد موجود في التعبير البوليني، ونضع (٠) أمام الحدود المتبقية، والمثال التالي يوضح ذلك.

مثال (2 -4): استنتج جدول الحقيقة للتعبير البوليني:

$$Y = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + AB\overline{C} + ABC$$

الحل: هناك ثلاثة متغيرات (A وB وC) في التعبير البوليني المعطى، وبالتالي فهناك ثمانية احتمالات أو تشكيلات مختلفة لهذه المتغيرات كما هو موضح بالأعمدة الثلاثة على اليسار في الجدول (2 -14).

القيم الثنائية لكل حد من الحدود الأربعة في التعبير البوليني هي:

$$\overline{A}\overline{B}\overline{C} = 000,\ \overline{A}B\overline{C} = 010,\ AB\overline{C} = 110,\ ABC = 111$$

أمام كل من هذه القيم الثنائية يوضع (1) في عمود الخرج (Y) كما هو موضح بالجدول، ولكل التشكيلات الثنائية المتبقية يوضع (0) في عمود الخرج (Y).

المدخلات			الخرج
A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

الجدول (2 -14) جدول الحقيقة للتعبير البوليني $\mathbf{Y = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + AB\overline{C} + ABC}$.

قواعد الجبر البوليني Rules of Boolean Algebra

جدول (3 -1) يبين القواعد الأساسية للجبر البوليني والتي تستخدم في تناول وتبسيط التعبيرات البولينية.

1. $A + 0 = A$	2. $A + 1 = 1$
3. $A \bullet 0 = 0$	4. $A \bullet 1 = A$
5. $A + A = A$	6. $A + \overline{A} = 1$
7. $A \bullet A = A$	8. $A \bullet \overline{A} = 0$
9. $\overline{\overline{A}} = A$	10. $A + AB = A$

الجدول (3 -1) القواعد الأساسية للجبر البوليني.

والآن سوف نرى كيفية تحقيق هذه القواعد وذلك من خلال تطبيقها على البوابات المنطقية التي سبق دراستها.

القاعدة (1): $A + 0 = A$ هذه القاعدة يمكن فهمها بملاحظة ماذا يحدث عندما يكون أحد الدخلين لبوابة OR دائماً يساوي (0) والدخل الآخر، A، والذي يمكن أن يأخذ القيمة (1) أو (0). فإذا كان A=1 فإن الخرج يساوي (1) والذي يساوي A. وإذا كان A=0 فإن الخرج يساوي (0) وهو أيضا يساوي A. وبناء على ذلك فإن أي متغير يدخل على بوابة OR مع (0) فإن الخرج يساوي قيمة هذا المتغير.

القاعدة (2): $A + 1 = 1$ هذه القاعدة تقول إذا كان أحد الدخلين لبوابة OR دائماً يساوي (1) والدخل الآخر، A، والذي يأخذ القيمة (1) أو القيمة (0). وجود (1) على أحد الدخلين لبوابة OR يعطي دائماً خرجاً يساوي (1) بصرف النظر عن قيمة المتغير الذي على الدخل الآخر. وبناء على ذلك فإن أي متغير يدخل على بوابة OR مع (1) فإن الخرج دائماً يساوي (1).

القاعدة (3): $A \bullet 0 = 0$ هذه القاعدة تقول إذا كان أحد الدخلين لبوابة AND دائماً يساوي (0) والدخل الآخر، A، فإن الخرج دائما يساوي (0) بصرف النظر عن قيمة المتغير الذي على الدخل الآخر. وبناء على ذلك فإن أي متغير يدخل على بوابة AND مع (0) فإن الخرج دائماً يساوي (0).

القاعدة (4): $A \bullet 1 = A$ هذه القاعدة تقول إذا كان أحد الدخلين لبوابة AND دائماً يساوي (1) والدخل الآخر، A، فإن الخرج يساوي قيمة المتغير (A). فإذا كان المتغير A=0 فإن خرج البوابة AND يساوي (0). وإذا كان المتغير A=1 فإن خرج البوابة AND يساوي (1) لأن الدخلين الآن قيمتهما تساوي (1). وبناء على ذلك فإن أي متغير يدخل على بوابة AND مع (1) فإن الخرج يساوي قيمة هذا المتغير.

القاعدة (5): $A + A = A$ مفهوم هذه القاعدة أنه إذا كان كل من الدخلين للبوابة OR عليهما نفس المتغير A، فإن الخرج يكون قيمة هذا المتغير. فإذا كان المتغير $A = 0$ فذلك يعني $0 + 0 = 0$، وإذا كان المتغير $A = 1$ فهذا يعني $1 + 1 = 1$.

القاعدة (6): $A + \overline{A} = 1$ يمكن شرح هذه القاعدة كالتالي: إذا دخل متغير A على أحد دخلي بوابة OR والمتغير $\overline{A}$ على المدخل الآخر لنفس البوابة فإن الخرج دائماً يساوي (1). إذا كانت A=0 يكون $0 + \overline{0} = 0 + 1 = 1$. وإذا كانت $A = 1$ يكون $1 + \overline{1} = 1 + 0 = 1$.

القاعدة (7): $A \bullet A = A$ إذا دخل المتغير A على دخلي البوابة AND فإن الخرج يكون قيمة هذا المتغير. فإذا كان المتغير $A = 0$ فذلك يعني $0 \bullet 0 = 0$، وإذا كان المتغير $A = 1$ فهذا يعني $1 \bullet 1 = 1$، وفي كلتا الحالتين يكون خرج البوابة AND يساوي قيمة المتغير A.

القاعدة (8): $A \bullet \overline{A} = 0$ إذا دخل متغير A على أحد دخلي بوابة AND والمتغير $\overline{A}$ على المدخل الآخر لنفس البوابة فإن الخرج دائما يساوي (0). وهذا من السهل فهمه لأن أحد الدخلين A أو $\overline{A}$ سوف يساوي (0) دائما، وعندما يوجد (0) على أحد دخلي بوابة AND فمن المؤكد أن الخرج يساوي (0) أيضاً.

القاعدة (9): $\overline{\overline{A}} = A$ إذا تم عكس متغير مرتين تكون النتيجة هي قيمة هذا المتغير. إذا كان المتغير $A = 0$ وتم عكسه نحصل على (1)، فإذا تم عكس (1) مرة أخرى نحصل على (0) وهو يساوي قيمة المتغير الأصلي.

القاعدة (10): يمكن تحقيق هذه القاعدة باستخدام القاعدة (2) والقاعدة (4) كالآتي:

$$\begin{aligned} A + AB &= A(1 + B) \\ &= A(1) \\ &= A \end{aligned}$$

نظريات ديمورجان Demorgan's Theorems

نظريات ديمورجان تعتبر جزءاً هاماً من الجبر البوليني، فهذه النظريات تستخدم لتحويل التعبيرات الجبرية من وضعية AND الأساسية إلى وضعية OR وبالعكس. كما تسمح لنا بحذف العلامات الفوقية (bars) من المتغيرات المتعددة، ويمكن كتابة نظريتي ديمورجان لمتغيرين على الشكل التالي:

نظرية ديمورجان الأولى: $\overline{A + B} = \overline{A} \bullet \overline{B}$

نظرية ديمورجان الثانية: $\overline{A \bullet B} = \overline{A} + \overline{B}$

النظرية الأولى تغير من وضعية OR الأساسية إلى وضعية AND كما هو موضح في شكل (3 -1) حيث تكافئ البوابة NOR في الطرف الأيسر البوابة AND ولكن بمدخلين معكوسين في الطرف الأيمن حيث تقوم الدائرة الصغيرة في المدخل مقام بوابة العاكس.

ويمكن إثبات هذه النظرية عن طريق جدول الحقيقة كما هو مبين في الجدول (3 -2). يطلق على البوابة التي في الطرف الأيمن اسم بوابة AND السالبة (negative AND).

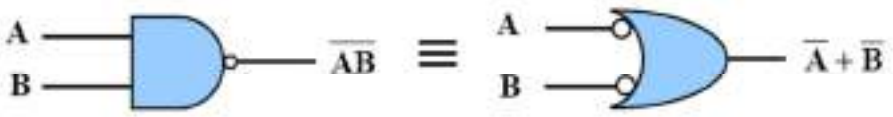
الشكل (3 -1) التغير من وضعية OR إلى وضعية AND.

المدخلات		الخرج	
A	B	$\overline{A+B}$	$\overline{A} \bullet \overline{B}$
0	0	1	1
0	1	0	0
1	0	0	0
1	1	0	0

الجدول (3 -2) اثبات نظرية ديمورجان الأولى.

وتغير النظرية الثانية من وضعية AND الأساسية إلى وضعية OR كما هو موضح في شكل (3 -2) حيث تكافئ البوابة NAND في الطرف الأيسر البوابة OR بمدخلين معكوسين في الطرف الأيمن (تقوم الدائرة الصغيرة في الدخل مقام بوابة العاكس)، ويمكن أيضاً إثبات هذه النظرية عن

طريق جدول الحقيقة المبين في الجدول (3 -3). ويطلق أيضاً على البوابة التي على اليسار اسم بوابة OR السالبة (negative OR).



الشكل (3 -2) التغير من وضعية AND إلى وضعية OR.

المدخلات		الخرج	
A	B	$\overline{A \bullet B}$	$\overline{A}+\overline{B}$
0	0	1	1
0	1	1	1
1	0	1	1
1	1	0	0

الجدول (3 -3) إثبات نظرية ديمورجان الثانية.

نظريات ديمورجان يمكن تطبيقها أيضاً على التعبيرات البولينية والتي لها أكثر من متغيرين. والأمثلة الآتية توضح كيفية تطبيق نظريات ديمورجان على ثلاثة متغيرات وأربعة متغيرات.

مثال (3 -1): طبق نظريات ديمورجان على التعبير البوليني التالي:

$$Y = \overline{(A+\overline{B}+\overline{C}) \bullet (\overline{A}+B+\overline{C})}$$

الحل:

$$Y = \overline{(A + \overline{B} + \overline{C}) \bullet (\overline{A} + B + \overline{C})}$$
$$= \overline{(A + \overline{B} + \overline{C})} + \overline{(\overline{A} + B + \overline{C})}$$
$$= \overline{A}\,\overline{\overline{B}}\,\overline{\overline{C}} + \overline{\overline{A}}\,\overline{B}\,\overline{\overline{C}} = \overline{A}BC + A\overline{B}C$$

مثال (3 -2): طبق نظريات ديمورجان على التعبير البوليني التالي:

$$Y = \overline{(\overline{A} + B) + CD}$$

الحل:

$$Y = \overline{(\overline{A} + \overline{B}C) + B\overline{(A + \overline{C})}}$$
$$= \overline{(\overline{A} + \overline{B}C)} \bullet \left(\overline{B\overline{(A + \overline{C})}}\right)$$
$$= A\overline{(\overline{B}C)} \bullet \left(\overline{B} + \overline{(A + \overline{C})}\right)$$
$$= A(B + \overline{C})(\overline{B} + A + \overline{C})$$

تبسيط التعبيرات البولينية باستخدام الجبر البوليني

-: Simplification of Boolean Expressions Using Boolean algebra

تستخدم قواعد الجبر البوليني والتي سبق شرحها لتبسيط الدوال المنطقية (التعبيرات البولينية) وذلك لتمثيلها بأقل عدد من البوابات المنطقية، وكذلك بأقل عدد من المدخلات، ولذلك فإنه عند تمثيل هذه الدوال المنطقية عملياً، يجب أولاً أن نضعها في أبسط صورة ممكنة لاقتصاديات التصميم، والمثال التالي يوضح كيفية إجراء عملية التبسيط.

مثال (3 -4): باستخدام قواعد الجبر البوليني بسط الدالة المنطقية الآتية:

$$Y = AB + A(A + C) + B(A + C)$$

الحل: الخطوة الأولى في عملية التبسيط هي فك الأقواس الموجودة بالدالة فنحصل على:

$$Y = AB + AA + AC + AB + BC$$

نعوض عن قيمة الحد AA بالمتغير A (راجع القاعدة رقم 7 من قواعد الجبر البوليني) فتصبح الدالة:

$$Y = AB + A + AC + AB + BC$$

وبتطبيق القاعدة رقم 5 حيث $A + A = A$، فإن $AB + AB = AB$، وتصبح الدالة:

$$Y = AB + A + AC + BC$$

وبأخذ المتغير A عاملاً مشتركاً بين الحد الأول والثاني والثالث فنحصل على:

$$Y = A(B + 1 + C) + BC$$

وبتطبيق القاعدة رقم 2 حيث $A + 1 = 1$، نجد أن:

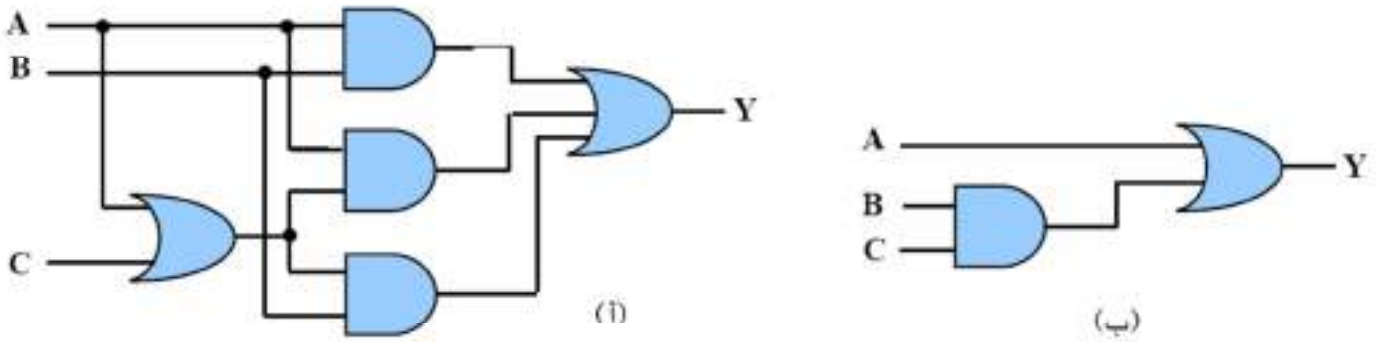
$$Y = A\,(1) + BC$$

وأخيرا بتطبيق القاعدة رقم 4 حيث $A(1) = A$، نحصل على:

$$Y = A + BC$$

عند هذه المرحلة فإن التعبير البوليني قد تم وضعه في أبسط صورة ممكنة. يجب أن نلاحظ هنا أنه عند اكتساب الخبرة في تطبيق قواعد الجبر البوليني فليس من الضروري تبسيط الدالة على شكل خطوات، ولكننا نبين هنا فقط كيفية الوصول إلى الصورة النهائية للدالة المبسطة وما هي القواعد التي تم استخدامها.

شكل (3 -3) يوضح كيف أمكن تمثيل الدالة بعد تبسيطها بأقل عدد ممكن من البوابات حيث أمكن تمثيلها باستخدام بوابتين فقط (الشكل(ب))، بينما احتاج تمثيل الدالة الأصلية قبل التبسيط إلى خمس بوابات (الشكل(أ)).



الشكل (3 -3) تمثيل الدالة المنطقية لمثال (3 -4) قبل وبعد تبسيطها.

ومن المهم التحقق من أن هاتين الدائرتين متكافئتان، بمعنى أنه لأي تشكيلة من المدخلات A وB وC، نحصل على نفس الخرج من الدائرتين.

مثال (3 -5): ضع التعبير البوليني الآتي في أبسط صورة ثم ارسم الدائرة المنطقية للتعبير قبل وبعد التبسيط.

$$Y = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + \overline{A}BC + ABC$$

الحل: بأخذ الحدين الأول والثاني مع بعضهما، وكذلك الحدين الثالث والرابع، نحصل على:

$$Y = (\overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C) + (\overline{A}BC + ABC)$$
$$= \overline{A}\overline{B}(\overline{C} + C) + BC(\overline{A} + A)$$

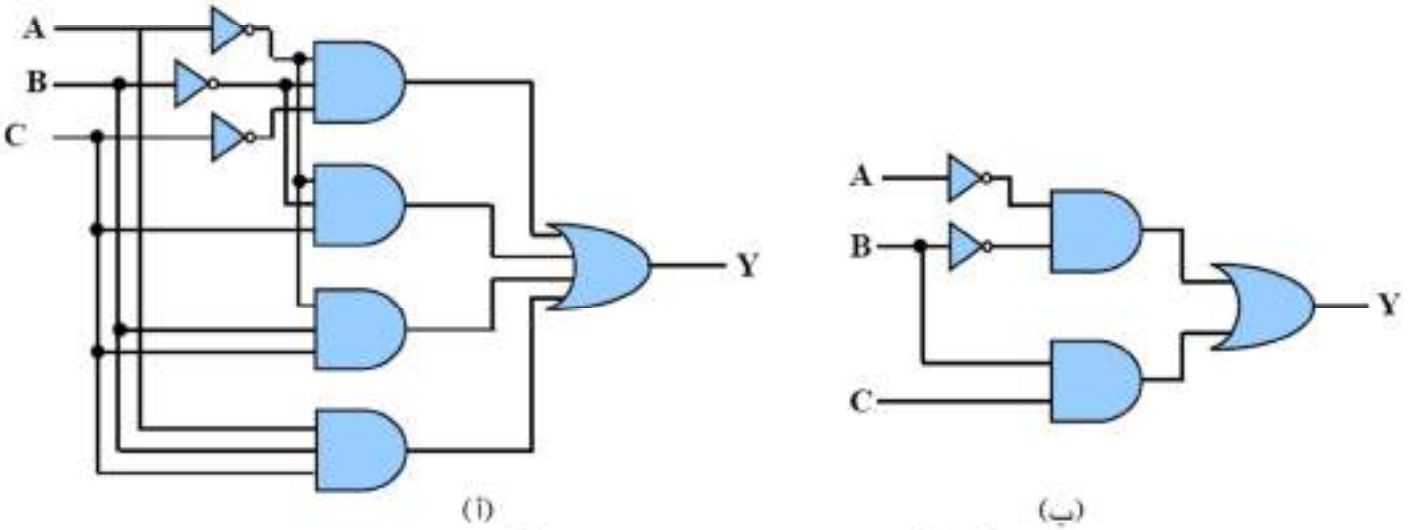
وبتطبيق القاعدة رقم 6 نحصل على:

$$Y = \overline{A}\overline{B} \bullet 1 + BC \bullet 1$$

ثم بتطبيق القاعدة رقم 4 نحصل على الصورة النهائية للتعبير البوليني وهي:

$$Y = \overline{A}\,\overline{B} + BC$$

شكل (3 -4) يوضح تمثيل التعبير البوليني بالبوابات قبل وبعد عملية التبسيط.



(أ) (ب)

الشكل (3 -4) تمثيل الدالة المنطقية لمثال (3 -5) قبل وبعد تبسيطها.

الأشكال القياسية للتعبيرات البولينية Standard Forms of Boolean Expressions

جميع التعبيرات البولينية، بصرف النظر عن شكلها، يمكن تحويلها إلى شكلين قياسيين، الشكل الأول يسمى بمجموع الحدود المضروبة (*sum-of-products*) ويكتب اختصاراً (SOP)، ويسمى الشكل الثاني بمضروب الحدود المجموعة (*product-of-sums*) ويكتب اختصاراً (POS). الأشكال القياسية تجعل عمليات التقييم والتبسيط والتمثيل للتعبيرات البولينية أكثر سهولة.

3 -5 -1 الشكل (SOP) The Sum-of-Products (SOP) form

في البداية يجب أن نعرف ما المقصود بالحد المضروب (product term). الحد المضروب يتكون من مجموعة من المتغيرات مضروبة في بعضها البعض مثل $AB, A\overline{B}, A\overline{B}C\overline{D}$ وهكذا. عند جمع حد أو أكثر من الحدود المضروبة جمعاً منطقياً نحصل على ما يسمى بمجموع الحدود المضروبة (Sum-of-Products) مثل:

$$\overline{A}\,\overline{B}\,\overline{C} + A\,\overline{B}\,C + \overline{A}\,B\,\overline{C}$$

ويطلق على شكل مجموع الحدود المضروبة السابق اسم الشكل القياسي وذلك لإحتواء كل حد من الحدود المضروبة على نفس عدد المتغيرات، وسوف يكون التعامل في هذه الوحدة مع الأشكال القياسية للتعبيرات البولينية فقط. والحد المضروب يمثل خرج بوابة AND، وبالتالي له قيمة واحدة فقط عند (1) وعدة قيم عند (0) (ارجع إلى جدول الحقيقة للبوابة AND).

3 -5 -2 الشكل (POS) The Product-of-Sums (POS) form

في البداية كما في الفقرة السابقة، يجب أن نعرف ما هو المقصود بالحد المجموع (sum term). الحد المجموع يتكون من حاصل جمع مجموعة من المتغيرات مثل $A + \overline{B}$, $A + \overline{B} + C$ وهكذا. عند ضرب حد أو أكثر من الحدود المجموعة ضرباً منطقياً نحصل على ما يسمى بمضروب الحدود المجموعة (Product-of-Sums) مثل:

$$(\overline{A} + \overline{B} + \overline{C})(A + \overline{B} + \overline{C})(A + B + C)$$

ويطلق على شكل مضروب الحدود المجموعة السابق اسم الشكل القياسي وذلك لاحتواء كل حد من الحدود المجموعة على نفس عدد المتغيرات، وسوف يكون التعامل في هذه الوحدة كما ذكرنا سابقاً مع الأشكال القياسية للتعبيرات البولينية فقط. والحد المجموع يمثل خرج بوابة OR، وبالتالي له قيمة واحدة فقط عند (0) وعدة قيم عند (1) (ارجع إلى جدول الحقيقة للبوابة OR).

3 -6 التحويل من الشكل القياسي (SOP) إلى الشكل القياسي (POS)

Converting Standard (SOP) to Standard (POS)

يجب معرفة أن القيم الثنائية (binary values) للحدود المضروبة في أي تعبير قياسي على شكل (SOP) لا تظهر في التعبير المكافئ القياسي على شكل (POS). وأيضاً، القيم الثنائية غير الممثلة في التعبير القياسي (SOP) تظهر في التعبير المكافئ القياسي على شكل (POS). وبناءً على ذلك، للتحويل من الشكل القياسي (SOP) إلى الشكل القياسي (POS)، نتبع الخطوات التالية:

الخطوة الأولى: نحدد قيمة كل حد مضروب في التعبير القياسي (SOP)، أي نحدد الأعداد الثنائية التي تمثل الحدود المضروبة.

الخطوة الثانية: نحدد جميع الأعداد الثنائية غير الموجودة في الخطوة الأولى.

الخطوة الثالثة: نكتب الحد المجموع المكافئ لكل عدد ثنائي من الخطوة الثانية ثم نكتب هذه الحدود على شكل التعبير (POS).

باستخدام خطوات مشابهه لنفس الخطوات السابقة، يمكننا التحويل من الشكل القياسي (POS) إلى الشكل القياسي (SOP).

مثال (3 -6): حول التعبير (SOP) القياسي التالي إلى التعبير (POS) القياسي.

$$Y = \overline{A}\,\overline{B}\,C + \overline{A}\,B\,C + A\,B\,\overline{C} + A\,B\,C$$

الحل: نحدد أولاً القيمة الثنائية لكل الحدود المضروبة مع ملاحظة وضع المتغير غير المعكوس بالقيمة الثنائية (1)، ووضع المتغير المعكوس بالقيمة الثنائية (0)، وبالتالي نحصل على:

$$Y = 001 + 011 + 100 + 110 + 111$$

نلاحظ وجود ثلاث متغيرات في التعبير السابق، وبالتالي يكون لدينا ثمان من التشكيلات الثنائية (2^3). التعبير على شكل (SOP) يحتوي على خمسة من هذه التشكيلات، وعلى ذلك فان التعبير على شكل (POS) يجب أن يحتوي على التشكيلات الثلاثة الأخرى وهي 101 ,010 ,000، ويكتب التعبير كالتالي:

$$Y = (A + B + C)(A + \overline{B} + C)(\overline{A} + B + \overline{C})$$

نلاحظ أننا وضعنا المتغير غير المعكوس بالقيمة الثنائية (0)، ووضعنا المتغير المعكوس بالقيمة الثنائية (1).

مثال (3 -7): حول التعبير (SOP) القياسي التالي إلى التعبير (POS) القياسي.

$$Y = \overline{A}\,\overline{B}\,\overline{C} + \overline{A}\,\overline{B}\,C + A\,\overline{B}\,C + A\,B\,\overline{C}$$

الحل: القيمة الثنائية للحدود المضروبة هي:

$$Y = 000 + 001 + 101 + 110$$

وعليه فان القيمة الثنائية للحدود المجموعة تكون كالتالي:

010, 011, 100, 111

ويكتب التعبير البوليني (POS) القياسي على الشكل:

$$Y = (A + \overline{B} + C)(A + \overline{B} + \overline{C})(\overline{A} + B + C)(\overline{A} + \overline{B} + \overline{C})$$

3 -7 التحويل من الشكل القياسي (POS) إلى الشكل القياسي (SOP)

Converting Standard (POS) to Standard (SOP)

كما ذكرنا في الجزء السابق ، وباستخدام خطوات مشابهه لنفس الخطوات السابقة، يمكننا التحويل من الشكل القياسي (POS) إلى الشكل القياسي (SOP). والأمثلة التالية توضح كيفية إجراء عملية التحويل.

مثال (3 -8): حول التعبير (POS) القياسي التالي إلى التعبير (SOP) القياسي.

$$Y = (A + B + C)(A + B + \overline{C})(A + \overline{B} + \overline{C})(\overline{A} + B + \overline{C})(\overline{A} + \overline{B} + C)$$

الحل: نحدد أولاً القيمة الثنائية لكل الحدود المجموعة مع ملاحظة وضع المتغير غير المعكوس بالقيمة الثنائية (0)، ووضع المتغير المعكوس بالقيمة الثنائية (1)،وبالتالي نحصل على:

$$Y = (000)(001)(011)(101)(110)$$

نلاحظ أن التعبير (POS) يحتوي على خمسة تشكيلات من الثمانية ، وبالتالي فان التعبير (SOP) يجب أن يحتوي على التشكيلات الثلاثة الأخرى وهى 111 ,100 ,010 ، ويكتب التعبير كالتالي:

$$Y = \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$$

مثال (3 -9): حول التعبير (POS) القياسي التالي إلى التعبير (SOP) القياسي.

$$Y = (A + \overline{B} + C)(A + \overline{B} + \overline{C})(\overline{A} + B + \overline{C})(\overline{A} + \overline{B} + \overline{C})$$

الحل: القيمة الثنائية للحدود المجموعةهى:

$$Y = (010)(011)(101)(111)$$

وعليه فان القيمة الثنائية للحدود المضروبة تكون كالتالي:

$$Y = 000, 001, 100, 110$$

ويكتب التعبير البوليني (SOP) القياسي على الشكل:

$$Y = \overline{A}\,\overline{B}\,\overline{C} + \overline{A}\,\overline{B}\,C + A\,\overline{B}\,\overline{C} + A\,B\,\overline{C}$$

3 -8 تحويل التعبيرات (SOP) القياسية إلى جدول الحقيقة

Converting Standard (SOP) Expressions to Truth Table Format

لعمل جدول الحقيقة لأي تعبير بوليني على شكل (SOP) القياسي، نرسم الجدول أولاً ثم نكتب فيه عدد التشكيلات المختلفة طبقاً لعدد المتغيرات الموجودة بالتعبير البوليني. كمثال، لعدد ثلاث متغيرات فإن جدول الحقيقة يجب أن يحتوي على ثماني تشكيلات ($2^3 = 8$)، ولعدد أربعة متغيرات فإن جدول الحقيقة يجب أن يحتوي على ستة عشر من التشكيلات ($2^4 = 16$). في النهاية نضع (1) في عمود الخرج (Y) أمام القيمة الثنائية لكل حد مضروب في التعبير البوليني، ونضع (0) أمام القيم الثنائية المتبقية. والأمثلة التالية توضح ما سبق شرحه.

مثال (3 -10): استنتج جدول الحقيقة للتعبير القياسي (SOP) التالي :

$$Y = \overline{A}\overline{B}C + A\overline{B}\overline{C} + ABC$$

الحل: يحتوي التعبير البوليني على ثلاث متغيرات، وبالتالي يوجد ثماني تشكيلات ممكنة كما هو موضح في الأعمدة الثلاثة على اليسار بجدول الحقيقة (3 -4). القيم الثنائية لكل حد من الحدود المضروبة بالتعبير السابق هي:

$$\overline{A}\overline{B}C \Rightarrow 001 \qquad A\overline{B}\overline{C} \Rightarrow 100 \qquad ABC \Rightarrow 111$$

لكل قيمة من هذه القيم الثنائية، نضع (1) في عمود الخرج (Y) كما هو موضح في الجدول، ولكل القيم الثنائية المتبقية نضع (0) في عمود الخرج.

المدخلات			الخرج
A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

الجدول (3 -4) جدول الحقيقة لمثال (3 -10).

مثال (3 -11): استنتج جدول الحقيقة للتعبير القياسي (SOP) التالي :

$$Y = \overline{A}\overline{B}\overline{C} + \overline{A}BC + A\overline{B}C + AB\overline{C}$$

الحل: القيم الثنائية لكل حد من الحدود المضروبة بالتعبير السابق هي:

$$\overline{A}\overline{B}\overline{C} \Rightarrow 010 \qquad \overline{A}BC \Rightarrow 011 \qquad A\overline{B}C \Rightarrow 101 \qquad AB\overline{C} \Rightarrow 110$$

لكل قيمة من هذه القيم الثنائية، نضع (1) في عمود الخرج (Y) كما هو موضح في جدول الحقيقة (3 -5)، ولكل القيم الثنائية المتبقية نضع (0) في عمود الخرج.

المدخلات			الخرج
A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

الجدول (3 -5) جدول الحقيقة لمثال (3 -11).

3 -9 تحويل التعبيرات (POS) القياسية إلى جدول الحقيقة

Converting Standard (POS) Expressions to Truth Table Format

كما ذكرنا سابقاً، وباتباع نفس الخطوات، لعمل جدول الحقيقة للتعبير البوليني على شكل (POS) القياسي، نرسم الجدول أولاً ثم نكتب فيه عدد التشكيلات المختلفة طبقاً لعدد المتغيرات الموجودة بالتعبير البوليني.

مثال (3 -12): استنتج جدول الحقيقة للتعبير القياسي (POS) التالي :

$$Y = (A + B + C)(A + \overline{B} + C)(\overline{A} + B + C)$$

الحل: يحتوي التعبير البوليني السابق على ثلاث متغيرات، وبالتالي يوجد ثماني تشكيلات ممكنة كما هو موضح في الأعمدة الثلاثة على اليسار بجدول الحقيقة (3 -6). القيم الثنائية لكل حد من الحدود المجموعة بالتعبير (POS) السابق هي:

$$A + B + C \Rightarrow 000 \qquad A + \overline{B} + C \Rightarrow 010 \qquad \overline{A} + B + C \Rightarrow 100$$

لكل قيمة من هذه القيم الثنائية، نضع (0) في عمود الخرج (Y) كما هو موضح في الجدول، ولكل القيم الثنائية المتبقية نضع (1) في عمود الخرج.

المدخلات			الخرج
A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

الجدول (3 -5) جدول الحقيقة لمثال (3 -12).

مثال (3 -13): استنتج جدول الحقيقة للتعبير القياسي (POS) التالي :

$$Y = (A + B + \overline{C})(A + \overline{B} + \overline{C})(\overline{A} + \overline{B} + C)(\overline{A} + \overline{B} + \overline{C})$$

الحل: القيم الثنائية لكل حد من الحدود المضروبة في التعبير السابق هي:

$$A + B + \overline{C} \Rightarrow 001,\quad A + \overline{B} + \overline{C} \Rightarrow 011,\quad \overline{A} + \overline{B} + C \Rightarrow 110,\quad \overline{A} + \overline{B} + \overline{C} \Rightarrow 111$$

لكل قيمة من هذه القيم الثنائية، نضع (0) في عمود الخرج (Y) كما هو موضح في جدول الحقيقة (3 -6)، ولكل القيم الثنائية المتبقية نضع (1) في عمود الخرج.

المدخلات			الخرج
A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

الجدول (3 -6) جدول الحقيقة لمثال (3 -13).

ثالثا : الاختبار الذاتي Self test

1- بسط المعادلة المنطقية التالية باستخدام قوانين الجبر البوليني: $Y = \overline{A}\,\overline{B}\,\overline{C} + \overline{A}\,\overline{B}\,C + \overline{A}\,B\,C + A\,B\,C$

2- أرسم الدائرة المنطقية المكافئة للمعادلة المبسطة في السؤال السابق .

3- حول التعبير(SOP) القياسي التالي الى التعبير(POS) القياسي $Y = \overline{A}\,\overline{B}\,\overline{C} + \overline{A}\,\overline{B}\,C + A\,\overline{B}\,C + A\,B\,\overline{C}$

4- حول التعبير(POS) القياسي التالي الى التعبير(SOP) القياسي:

$$Y = (A + \overline{B} + C)(A + \overline{B} + \overline{C})(\overline{A} + B + \overline{C}) + (\overline{A} + \overline{B} + \overline{C})$$

5- أكتب جدول واقعية الدالة المنطقية التالية : $Y = \overline{A}\,\overline{B}\,C + A\,\overline{B}\,\overline{C} + A\,B\,C$

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

3 -10 استنتاج التعبيرات القياسية من جدول الحقيقة

Determining Standard Expressions from a Truth Table

لاستنتاج التعبير القياسي (SOP) الممثل بجدول الحقيقة، حدد القيم الثنائية للدخل لكل خرج يساوي (1). حول كل قيمة ثنائية إلى الحد المضروب المقابل لها، وذلك باستبدال كل (1) بالمتغير المقابل له، وكل (0) بعكس المتغير المقابل له. كمثال، القيمة الثنائية 0101 يمكن تحويلها إلى حد مضروب كما يلي:

$$0101 \Rightarrow \overline{A}B\overline{C}D$$

لاستنتاج التعبير القياسي (POS) الممثل بجدول الحقيقة، حدد القيم الثنائية للدخل لكل خرج يساوي (0). حول كل قيمة ثنائية إلى الحد المجموع المقابل لها، وذلك باستبدال كل (0) بالمتغير المقابل له، وكل (1) بعكس المتغير المقابل له. كمثال، القيمة الثنائية 1010 يمكن تحويلها إلى حد مجموع كما يلي:

$$1010 \Rightarrow \overline{A} + B + \overline{C} + D$$

مثال (3 -14): من جدول الحقيقة (3 -7)، استنتج التعبير القياسي (SOP)، (POS):

المدخلات			الخرج
A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

الجدول (3 -7) جدول الحقيقة لمثال (3 -14).

الحل: هناك أربعة 1's في عمود الخرج والقيم الثنائية المقابلة لها هي: 011, 100, 110, and 111. هذه القيم الثنائية يمكن تحويلها إلى حدود مضروبة كما يلي:

$$011 \Rightarrow \overline{A}BC \quad \text{و} \quad 100 \Rightarrow A\overline{B}\overline{C} \quad \text{و} \quad 110 \Rightarrow AB\overline{C} \quad \text{و} \quad 111 \Rightarrow ABC$$

وبالتالي يكون التعبير القياسي بشكل (SOP) للخرج (Y) هو :

$$Y = \overline{A}BC + A\overline{B}\overline{C} + AB\overline{C} + ABC$$

وللتعبير (POS)، الخرج يساوي (0) عند القيم الثنائية 000و001 و010 و101 and . هذه القيم الثنائية يمكن تحويلها إلى حدود مجموعة كما يلي:

$$000 \Rightarrow A+B+C \text{ و } 001 \Rightarrow A+B+\overline{C} \text{ و } 010 \Rightarrow A+\overline{B}+C \text{ و } 101 \Rightarrow \overline{A}+B+\overline{C}$$

وبالتالي يكون التعبير القياسي بشكل (POS) للخرج (Y) هو :

$$Y = (A+B+C)(A+B+\overline{C})(A+\overline{B}+C)(\overline{A}+B+\overline{C})$$

3 -11 الخواص العامة لبوابات NAND و NOR

The Universal Property of NAND and NOR Gates

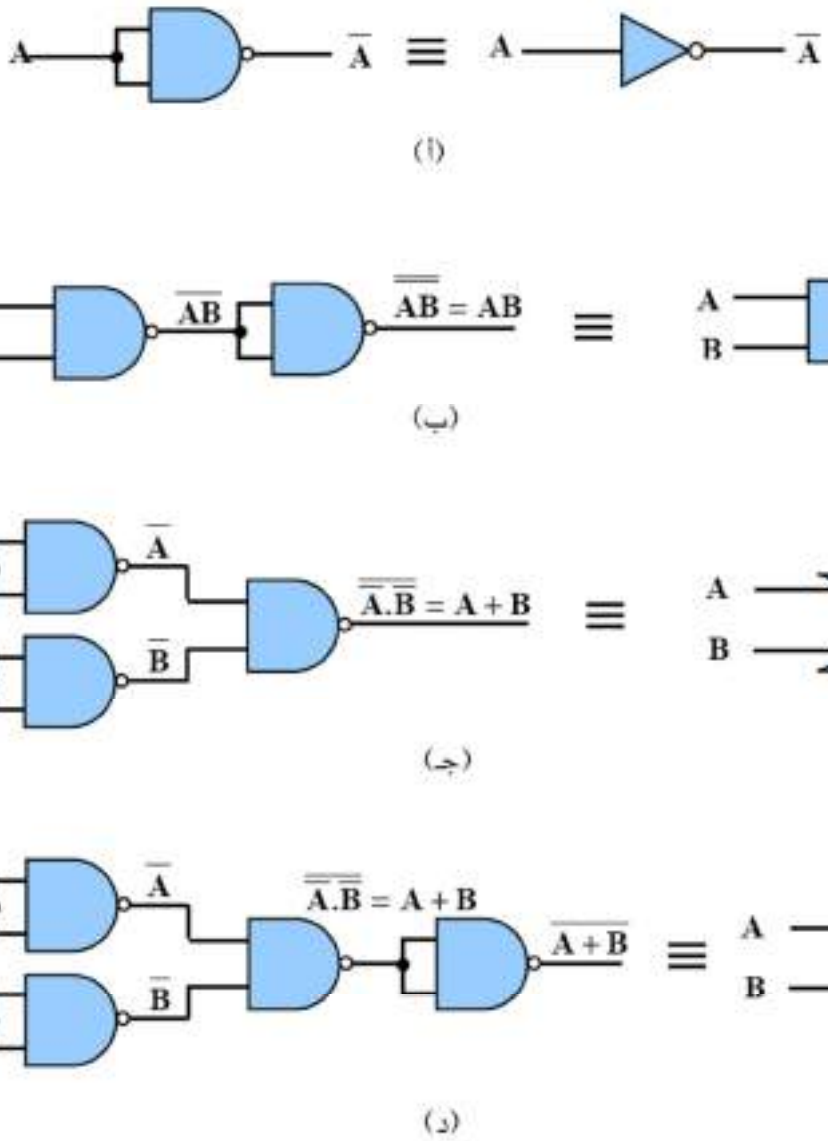
استعرضنا في بداية هذه الوحدة كيفية تمثيل الدوائر المنطقية باستخدام بوابات AND، وبوابات OR، والعواكس. وهنا سوف نناقش استخدام بوابات NAND وبوابات NOR كبوابات عامة (Universal Gates) لتمثيل أي تعبير بوليني. ومعنى كلمة بوابة عامة يعني أنه يمكن استخدامها كعاكس، وتركيبة من بوابات NAND يمكننا استخدامها في تمثيل بوابة AND، وكذلك NOR. وبالمثل فمعنى كلمة بوابة NOR عامة تعني أنه يمكن استخدامها كعاكس وتركيبة من بوابات NOR يمكننا استخدامها في تمثيل بوابة AND وOR وكذلك NAND.

3 -11 -1 البوابة NAND كعنصر منطقي عام

NAND gate as a Universal Logic Element

البوابة NAND هي بوابة عامة لأنه يمكن استخدامها في تنفيذ عملية العاكس، وعملية AND، وعملية OR، وكذلك عملية NOR. والعاكس يمكن بناؤه من البوابة NAND عن طريق توصيل جميع المدخلات في مدخل واحد كما هو موضح في الشكل(3 -5 (أ)) وذلك لبوابة NAND ذات مدخلين. ويمكن توليد عملية AND باستخدام بوابات NAND فقط كما هو موضح في شكل(3 -5(ب)).

والبوابة OR يمكن بناؤها باستخدام بوابات NAND كما في شكل(3 -5(جـ)). وأخيراً البوابة NOR يمكن بناؤها كما هو موضح في شكل(3 -5(د)).

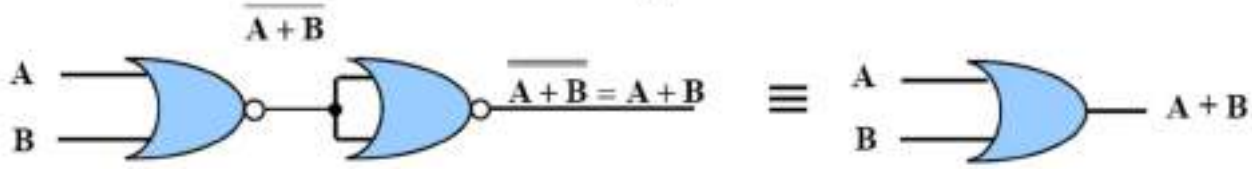


الشكل (3 -5) التطبيق العام لبوابات NAND.

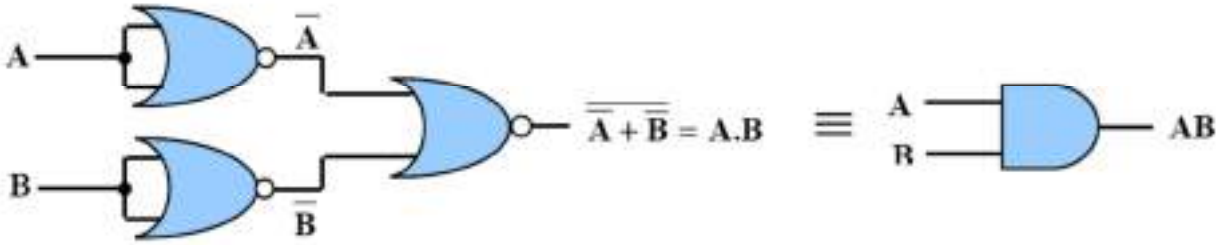
3 -11 -2 البوابة NOR كعنصر منطقي عام NOR Gate as a Universal Logic Element

مثل بوابة NAND، فإن البوابة NOR يمكن استخدامها لبناء بوابات عاكس AND و OR، وكذلك بوابة NAND. شكل (3 -6) يوضح كيفية توصيل البوابة NOR لتقوم بعمل بوابة NOT وبوابة OR وكذلك بوابة NAND.

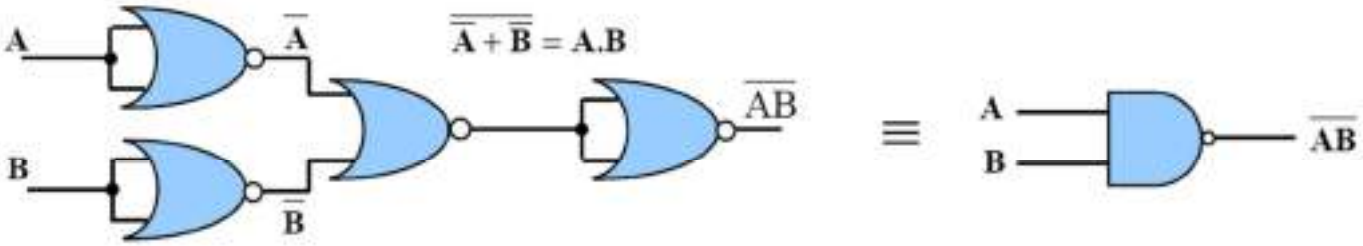
(أ)



(ب)



(جـ)



(د)

الشكل (3 -6) التطبيق العام لبوابات NOR.

مثال (٢ -٦): ضع التعبير البوليني الآتي في أبسط صورة ثم ارسم الدائرة المنطقية للتعبير قبل وبعد التبسيط.

$$Y = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}BC + ABC$$

الحل: بأخذ الحدين الأول والثاني مع بعضهما، وكذلك الحدين الثالث والرابع، نحصل على:

$$\begin{aligned} Y &= (\overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C) + (\overline{A}BC + ABC) \\ &= \overline{A}\overline{B}(\overline{C} + C) + BC(\overline{A} + A) \end{aligned}$$

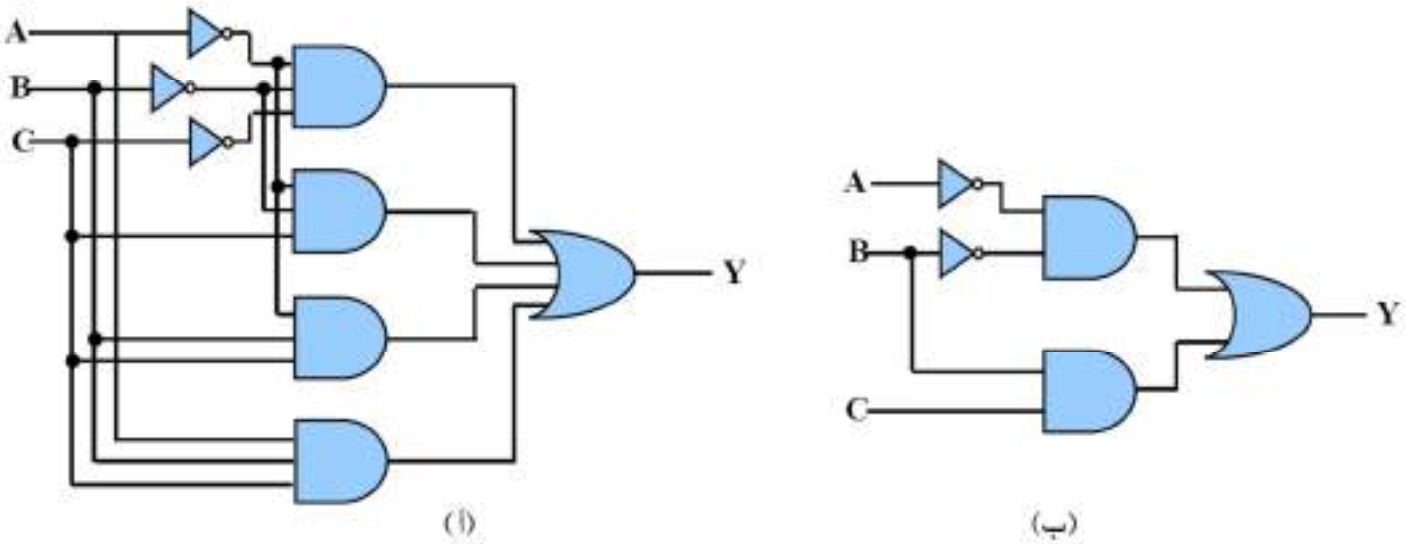
وبتطبيق القاعدة رقم ٦ نحصل على:

$$Y = \overline{A}\overline{B} \bullet 1 + BC \bullet 1$$

ثم بتطبيق القاعدة رقم ٤ نحصل على الصورة النهائية للتعبير البوليني وهي:

$$Y = \overline{A}\overline{B} + BC$$

شكل (٢ -٢٤) يوضح تمثيل التعبير البوليني بالبوابات قبل وبعد عملية التبسيط.



(أ) (ب)

شكل (٢ -٢٤) تمثيل الدالة المنطقية لمثال (٢ -٦) قبل وبعد تبسيطها.

رابعا : الاختبار البعدي Post test

1- أكتب جدول واقعية الدالة المنطقية التالية: $Y = \bar{A}\,B\,\bar{C} + \bar{A}\,B\,C + A\,\bar{B}\,C + A\,B\,\bar{C}$

2- أكتب جدول واقعية الدالة المنطقية التالية : $Y = (A + B + C)(A + \bar{B} + C)(\bar{A} + B + C)$

3- بسط المعادلة المنطقية التالية باستخدام قوانين الجبر البوليني

$Y = \bar{A}\,\bar{B}\,\bar{C}\,\bar{D} + \bar{A}\,\bar{B}\,\bar{C}\,D + \bar{A}\,\bar{B}\,C\,D + \bar{A}\,\bar{B}\,C\,\bar{D} + B\,D + A\,\bar{B}$

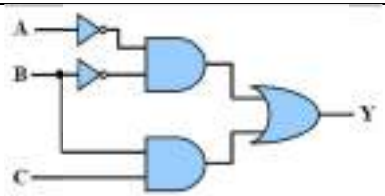
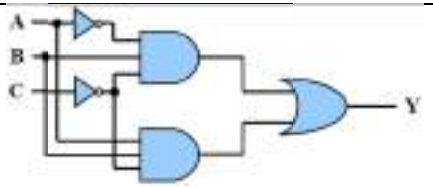
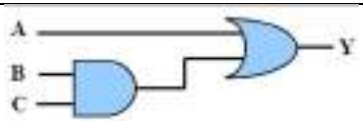
4- بسط المعادلة المنطقية التالية باستخدام قوانين الجبر البوليني

$Y = \bar{A}\,\bar{B}\,\bar{C}\,D + \bar{A}\,B\,\bar{C}\,D + A\,\bar{B}\,C + B\,C\,D + B\,C + A\,\bar{C}$

5- أكتب معادلة أخرج الدائرة المنطقية الممثلة بالجدول التالي :

المدخلات			الخرج
A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

ثالثا : مفاتيح الاجابة على الاختبارات					
الاختبار القبلي Pre test		الاختبار الذاتي Self test		الاختبار البعدي Post test	
رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة
1	$Y = D(A + \overline{B}) + (B + C)$	1	$Y = \overline{A}\,\overline{B} + BC$	1	
2		2			
3		3	$Y = (A + \overline{B} + C)(A + \overline{B} + \overline{C})(\overline{A} + B + C)(\overline{A} + \overline{B} + \overline{C})$	2	
4	Y= A + BC	4	$Y = \overline{A}\,\overline{B}\,\overline{C} + \overline{A}\,\overline{B}C + A\,\overline{B}\,\overline{C} + A\,B\,\overline{C}$	3	$Y = \overline{B} + D$
5		5		4	$Y = \overline{C}D + A\overline{B} + B\overline{D}$
				5	$Y = \overline{A}BC + A\overline{B}\overline{C} + ABC$

المصادر (References) :

1- الالكترونيك الرقمي المتقدم ترجمة ((ضياء مهدي فارس وآخرون)).1991.
2- Digital Principles &Application
3- Digital computer fundamentals (thematic bartee))
4- Introduction to Digital computer((louis mashelsky))
5- Modern Digital electronics (R.P.Jain
6- الالكترونيك الرقمي وتطبيقاته ((تأليف: مالفينو))

(المحاضرة التاسعة – الحادية عشر) : خريطة كارنوف (Karnaugh Map)

أولا : النظرة الشاملة (Overview)

أ - الفئة المستهدفة Target Population

طلبة المرحلة: الاولى في المعهد التقني/ النجف - قسم انظمة الحاسوب

ب- مبررات المحاضرة وموضوعاتها Rationale

تعتبر قوانين الجبر البوليني الاساس في تبسيط المعادلات والدوائر المنطقية المعقدة الا انها تصبح غير فاعلة عندما يزداد عدد مدخلات الدائرة لذلك تستخدم طريقة خريطة كارنوف .

حيث صممت هذه المحاضرة لكي يتعلم الطالب طريقة تبسيط الدوائر والمعادلات المنطقية المختلفة باستخدام خريطة كارنوف .

ج- الأفكار المركزية Central Ideas

اولا: خارطة كارنوف- خارطة كارنوف لمتغيرين ، خارطة كارنوف لثلاثة متغيرات ، خارطة كارنوف لأربع متغيرات .

ثانيا: كيفية نقل جدول الواقعية الى خارطة كارنوف .

ثالثا: تبسيط الدوال المنطقية والدوائر المنطقية باستخدام خارطة كارنوف.

د- أهداف المحاضرة Objectives

سيكون الطالب بعد دراسته لهذه المحاضرة قادرا على أن :

- يتعرف على كيفية التبسيط باستخدام خريطة كارنوف لمتغيرين و خريطة كارنوف لثلاثة متغيرات و خريطة كارنوف لأربع متغيرات ..
- ينقل جدول الواقعية الى خريطة كارنوف .

ثانيا- الاختبار القبلي Pre test

الدخلات			الخرج
A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

1- بسط المعادلة المنطقية التالية باستخدام خريطة كارنوف :

2- أرسم الدائرة المنطقية المكافئة للمعادلة المبسطة في السؤال السابق .

3- بسط المعادلة المنطقية التالية باستخدام خريطة كارنوف :

$$Y = \bar{A}\,\bar{B}\,\bar{C}\,\bar{D} + \bar{A}\,\bar{B}\,\bar{C}\,D + \bar{A}\,\bar{B}\,C\,D + \bar{A}\,\bar{B}\,C\,\bar{D} + B\,D + A\,\bar{B}$$

4- بسط المعادلة المنطقية التالية باستخدام خريطة كارنوف :

$$Y = \bar{A}\,\bar{B}\,\bar{C}\,D + \bar{A}\,B\,\bar{C}\,D + A\,\bar{B}\,C + B\,C\,\bar{D} + B\bar{C} + A\bar{C}$$

5- بسط المعادلة المنطقية التالية باستخدام خريطة كارنوف :

$$F = Y\bar{Z} + \bar{X}\,Z + X\,Y\,Z$$

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة، فاذا حصلت على نسبة اجابة اكثر من 75٪ فأنت لست بحاجة لهذه المحاضرة ، اما اذا حصلت على اقل من ذلك فانتقل الى الخطوة التالية: (نص المحاضرة)

مقدمة

خريطة كارنوف أو خريطة K- هي طريقة مرئية لتبسيط التعبيرات الجبرية، وإذا ما استخدمت بطريقة جيدة فسوف تعطي لنا التعبير البوليني في أبسط صورة ممكنة. وكما رأينا في الوحدة السابقة فإن استخدام قواعد الجبر البوليني لتبسيط تعبير جبري ما يعتمد إلى حد كبير على الإلمام بجميع قواعد الجبر البوليني وكذلك القابلية لتطبيقه، وعادة فإن المهارة غالباً تمثل عامل هام في التبسيط باستخدام قواعد الجبر المنطقي. من ناحية أخرى فإن خريطة كارنوف تقدم لنا طريقة سهلة للتبسيط.

وخريطة كارنوف تماثل جدول الحقيقة لأنها تعطي لنا كل القيم المحتملة للمدخلات ونتيجة الخرج لكل قيمة. وبدلاً من تنظيمها على شكل أعمدة وصفوف مثل جدول الحقيقة، فإن خريطة كارنوف عبارة عن مصفوفة (array) من الخلايا (cells) ، وتمثل كل خلية القيمة الثنائية لإحدى تشكيلات المدخلات. وترتب الخلايا بطريقة تجعل عملية التبسيط للتعبير المعطى وتجميع الخلايا في غاية السهولة.

خريطة كارنوف يمكن استخدامها مع تعبيرات بولينية لها متغيران ، ثلاثة ، أربعة، أو خمسة متغيرات، ولكننا سنكتفي هنا بالشرح حتى أربعة متغيرات فقط لتوضيح أساسيات التبسيط. ويلاحظ أنه عند ازدياد عدد المتغيرات عن خمسة فأكثر فإن استخدام خريطة كارنوف يزداد صعوبة لذا يتم اللجوء إلى استخدام طرق أخرى خارج نطاق الحقيبة مثل طريقة كواين ماكلوسكي (Quine - McClusky) حيث يمكن استخدامها لعدد كبير من المتغيرات ويمكن برمجة هذه الطريقة على الحاسب بشكل سهل. عدد الخلايا في خريطة كارنوف يساوي عدد التشكيلات المحتملة للمدخلات، ويماثل ذلك عدد الصفوف في جدول الحقيقة. ولعدد ثلاثة متغيرات يكون عدد الخلايا يساوي $2^3 = 8$ ولعدد أربعة متغيرات يكون عدد الخلايا يساوي $2^4 = 16$.

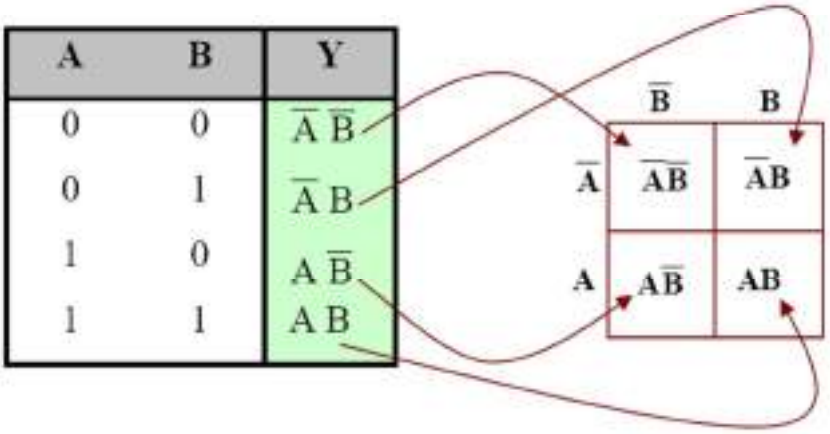
التبسيط باستخدام خريطة كارنوف :

للمدخلات، ويماثل ذلك عدد الصفوف في جدول الحقيقة. ولعدد ثلاثة متغيرات يكون عدد الخلايا يساوي $2^3 = 8$ ولعدد أربعة متغيرات يكون عدد الخلايا يساوي $2^4 = 16$.

3 -13- 1 شكل خريطة كارنوف لاثنين وثلاثة وأربعة متغيرات

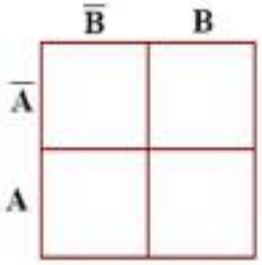
Karnaugh Map for Two, Three, and Four Variables

عرفنا سابقاً أن عدد الخلايا في خريطة كارنوف يعتمد على عدد المتغيرات (المدخلات). وكمثال في شكل (3 -17)، هناك متغيران فقط هما (A و B) والمتمم لهما ($\overline{A}, \overline{B}$) وبناء على ذلك فإن خريطة كارنوف تحتوي (كما في جدول الحقيقة لمتغيرين) فقط على أربعة تشكيلات (00و01و10و11).



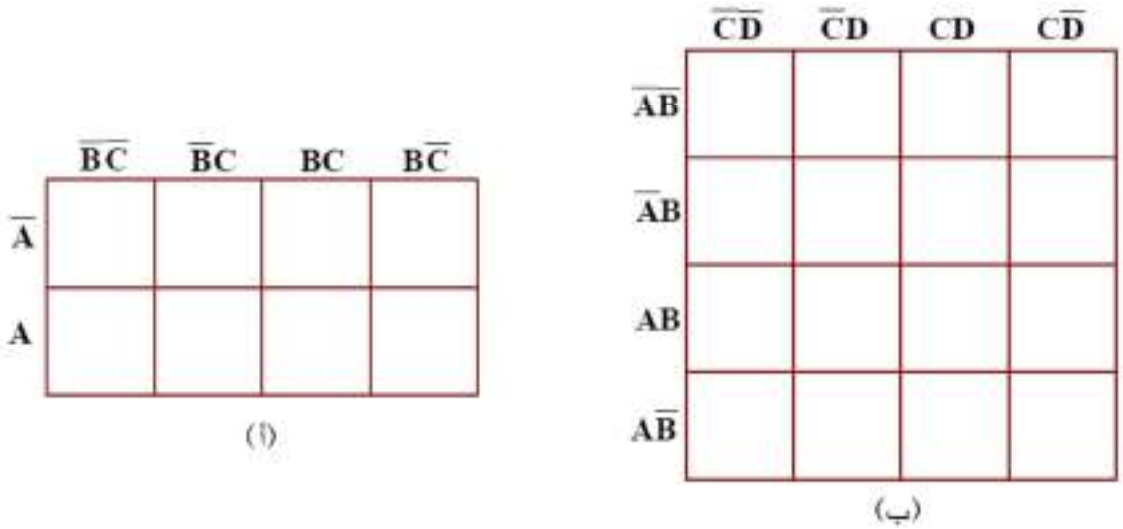
الشكل (3 -17) إعادة ترتيب جدول الحقيقة في خريطة كارنوف.

وكل خلية في خريطة كارنوف ذات المتغيرين تمثل واحداً من التشكيلات الأربع للدخل. عملياً علامات الدخل (Input Labels) توضع خارج الخلايا كما هو موضح في شكل (3 -18) وتطبق على كل من الصف والعمود للخلايا. فمثلاً، الصف الذي أمامه المتغير $\overline{A}$ يطبق على الخلايا العليا، بينما الذي أمامه A يطبق على الخلايا السفلى. ونرى في أعلى الخريطة المتغير $\overline{B}$ يطبق على الخلايا التي على اليسار، بينما المتغير B يطبق الخلايا التي على اليمين. وكمثال، فإن الخلية العليا التي على اليمين تمثل تشكيلة الدخل $\overline{A}B$.



الشكل (3 -18) خريطة كارنوف لمتغيرين ($2^2 = 4$ خلايا).

شكل (3 -19(أ))، (3 -19(ب)) يوضحان هيئة خريطة كارنوف لثلاثة متغيرات (ثماني خلايا)، وأربعة متغيرات (ستة عشر خلية).



الشكل (3 -19) خريطة كارنوف لثلاثة وأربعة متغيرات.

3 -13 -2 تبسيط التعبيرات على شكل (SOP) Karnaugh Map (SOP) Minimization

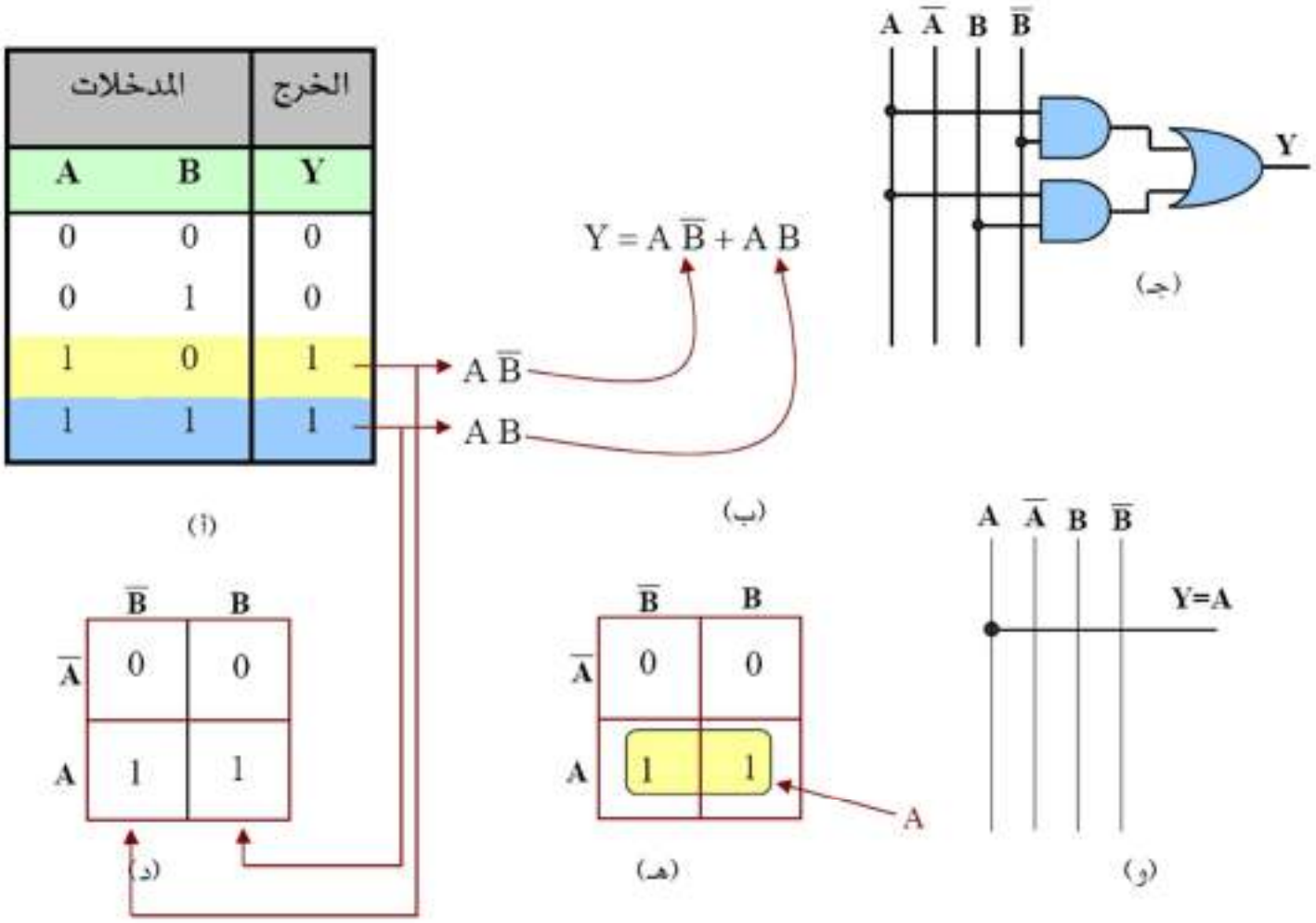
والآن بعد معرفتنا لكيفية إنشاء خريطة كارنوف، فسوف نرى كيف يمكن أن تستخدم لتبسيط التعبيرات البولينية على شكل (SOP). وكمثال على ذلك، نفترض أننا نريد تصميم دائرة منطقية لها جدول الحقيقة الموضح في شكل (3 -20(أ)).

الخطوة الأولى هي الحصول على التعبير البوليني من خلال جدول الحقيقة، وذلك بكتابة التشكيلة التي أمامها (1) في الخرج وبعد ذلك نضع هذه التشكيلات على شكل التعبير البوليني (SOP) كما في شكل (3 -20(ب)).

الدائرة المنطقية المكافئة لهذا التعبير البوليني موضحة في شكل(3 -20(جـ)). الخطوة التالية هي تمثيل هذا التعبير البوليني على خريطة كارنوف لمتغيرين كما نرى في شكل (3 -20(د)).

عند تمثيل التعبير البوليني على خريطة كارنوف يجب أن نتذكر أن كل خلية تمثل تشكيلة من التشكيلات الأربع المحتملة للمدخلات في جدول الحقيقة. الخرج (1) في جدول الحقيقة يجب أن يظهر (1) في الخلية المكافئة له على خريطة كارنوف، والخرج (0) في جدول الحقيقة يجب أن يظهر (0) في الخلية المكافئة له على خريطة كارنوف. وبناء على ذلك فإن (1) سوف يظهر في الخلية السفلى على

اليسار (يمثل $A\overline{B}$)، وفي الخلية السفلى على اليمين (يمثل AB) . والتشكيلات الأخرى للدخل ($\overline{A}B, \overline{A}\,\overline{B}$) وكلاهما يعطي (0) في الخرج، وبناءً عليه يجب وضع (0) في هاتين الخليتين العلويتين.



الشكل (3 -20) كيفية استخدام خريطة كارنوف في تبسيط التعبير المنطقي.

تبسط المعادلات البولينية بصفة عامة يمكن الحصول عليه عن طريق تطبيق قاعدة المتممات (Complements)، والتي تقول أن $A + \overline{A} = 1$. والآن وبعد تمثيل المعادلة البولينية على خريطة كارنوف كما في شكل (3 -20(د))، الخطوة التالية هي تجميع الحدود ثم نحدد العامل المشترك بينها.

فاذا نظرنا إلى خريطة كارنوف في شكل (3 -20(د)) فسوف نرى أن الخلايا المتجاورة (adjacent cells) تختلف في متغير واحد فقط. وهذا يعني أننا لو حركنا أياً منهما من مكانه إلى الخلية المجاورة له رأسياً أو أفقياً، فلن يحدث تغيير إلا في متغير واحد فقط. وبتجميع الخلايا المتجاورة المحتوية على (1) كما نرى من الشكل (3 -20(هـ)) فإنه يمكن تبسيط الخلايا باستخدام قاعدة المتممات

وجعلها حداً واحداً. في هذا المثال الخلايا $A\bar{B},AB$ تحتوي على B و $\bar{B}$ وبالتالي يتم حذف هذه المتممات، وتكون النتيجة A كما يلي:

$$Y = A\bar{B} + AB \qquad \text{(الأزواج المجمعة)}$$

$$Y = A(\bar{B} + B)$$
$$= A \bullet 1 = A$$

هذا التحليل يمكن استنتاجه بدراسة جدول الحقيقة للدائرة الموضحه في شكل (3 -20(i)) والذي نرى فيه أن الخرج (Y) يتبع تماماً الدخل (A). وبناء على ذلك تكون الدائرة المكافئة كما هو موضح في شكل (3 -20(و)).

مثال (3 -17): صمم دائرة منطقية في أبسط صورة لجدول الحقيقة الموضح في شكل (3 -21(i)) مبيناً كل خطوة في عملية التبسيط.

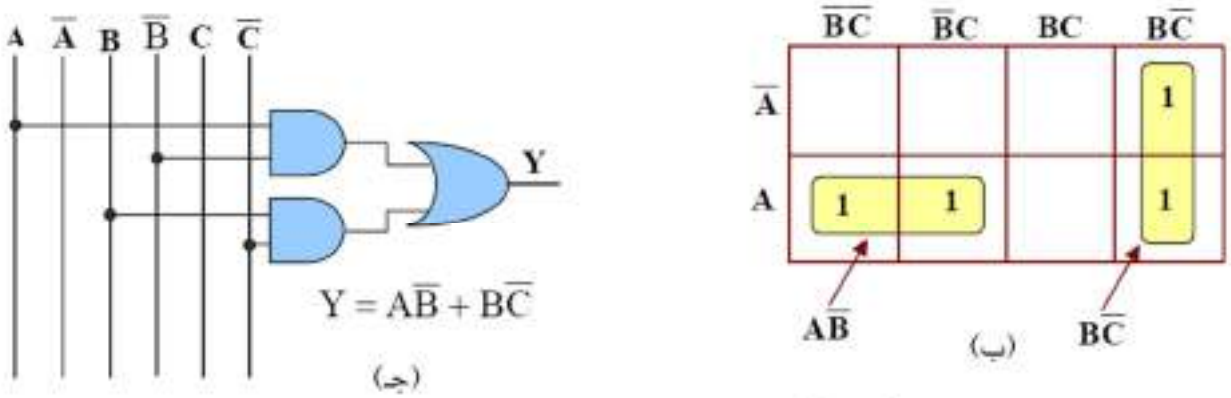
الحل: لدينا هنا ثلاثة متغيرات، والخطوة الأولى هي رسم خريطة كارنوف لثلاثة متغيرات، كما هو موضح في شكل (3 -21(ب)).

الخطوة الثانية أن ننظر إلى الخرج الذي يساوي (1) في جدول الحقيقة في شكل (3 -21(i)) ثم نقوم بوضع هذه الآحاد في الخلايا المكافئة لها على خريطة كارنوف كما هو موضح في شكل (3 -21(ب)). وبعد وضع (0) في الخلايا الفارغة المتبقية، نجمع الآحاد في شكل أزواج كما في شكل (3 -21(ب))، ثم نحدد من خلال الصف والعمود المتغيرات المشتركة في هذه المجموعات (الأزواج) لنرى أي متغير سوف يتم حذفه تبعاً لقاعدة المتممات. في المجموعة التي على اليمين $A,\bar{A}$ يتم حذفها والنتيجة $\bar{B}C$ ، وفي المجموعة التي على اليسار يتم حذف $C,\bar{C}$ والنتيجة $A\bar{B}$.

والحدود السابقة المبسطة سوف تشكل لنا المعادلة البولينية المكافئة بعد التبسيط والدائرة المنطقية، كما نرى في شكل 3 -21(جـ). وفي هذا المثال نرى أن المعادلة الأصلية تتكون من أربعة حدود كل حد منها يمثل بوابة AND بثلاثة مداخل مجمعة على بوابة OR بأربعة مداخل أي أن عدد المداخل الكلية للبوابات يساوي 16 مدخلاً، وبعد التبسيط أصبحت الدائرة تتكون من حدين كل منهما ممثل ببوابة AND بمدخلين مجمعين على بوابة OR بمدخلين أيضاً، وبالتالي يصبح عدد المداخل الكلية للبوابات بعد التبسيط يساوي 6 مدخلات كما نرى في الشكل (3 -21(جـ)).

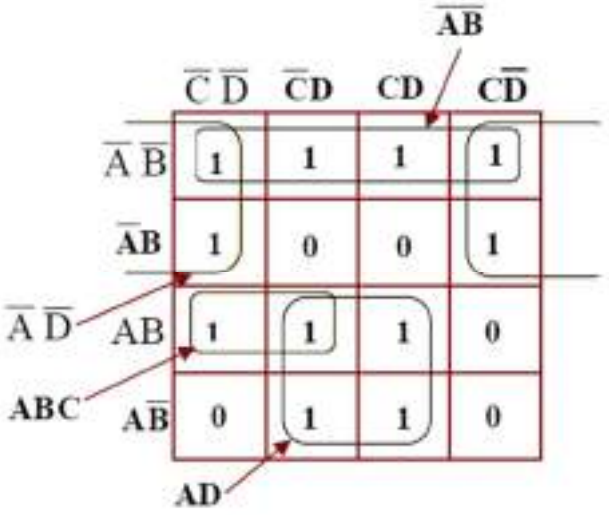
المدخلات			الخرج
A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

(أ)



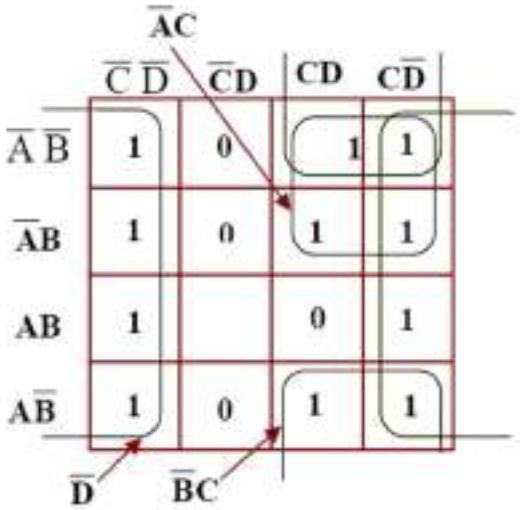
الشكل (3 -21) تصميم الدائرة المنطقية باستخدام خريطة كارنوف.

الآحاد (1's) في خريطة كارنوف يمكن أن تجمع كأزواج (مجموعات من اثنين) أو مجموعات من أربعة ، أو ثمانية، أو ستة عشر وهكذا لكل القوى 2. شكل (3 -22) يوضح بعض الأمثلة للتجميع، وكيف أن خريطة كارنوف تستخدم لتبسيط التعبيرات البولينية الكبيرة. لاحظ أن المجموعات الكبيرة أي التي تحتوي على عدد كبير من الآحاد (1's) تعطينا لنا حداً صغيراً وعليه تكون البوابات المستخدمة في التصميم لها مدخلات قليلة. ولهذا السبب يجب أن نبدأ بالبحث عن المجموعات التي تحتوي على أكبر عدد من الآحاد، فإن لم نجد نبحث عن الأقل وهكذا (بمعنى أننا نبحث عن المجموعات التي تحتوي على ثماني آحاد، فإن لم نجد نبحث عن المجموعات التي تحتوي على أربعة آحاد، وأخيراً فإن لم نجد نبحث عن المجموعات التي تحتوي على زوج من الآحاد).



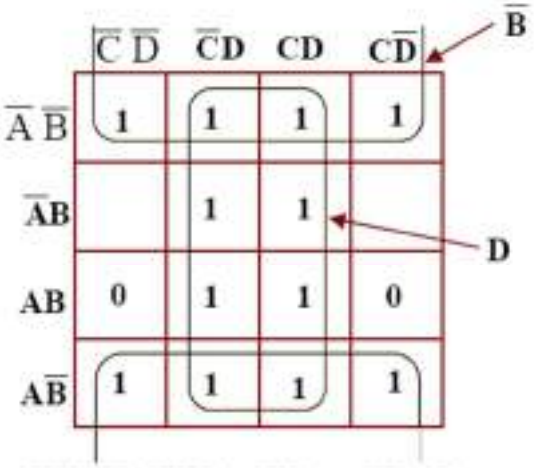
$Y = \overline{A}\,\overline{B}\,\overline{C}\,\overline{D} + \overline{A}\,\overline{B}\,\overline{C}D + \overline{A}\,\overline{B}CD + \overline{A}\,\overline{B}C\overline{D}$
$+ \overline{A}B\overline{C}\,\overline{D} + \overline{A}BC\overline{D} + AB\overline{C}\,\overline{D} + AB\overline{C}D$
$+ ABCD + A\overline{B}\,\overline{C}D + A\overline{B}CD$ (قبل التبسيط)
$Y = AB\overline{C} + AD + \overline{A}B\overline{D} + \overline{A}\,\overline{B}$ (بعد التبسيط)

(أ)



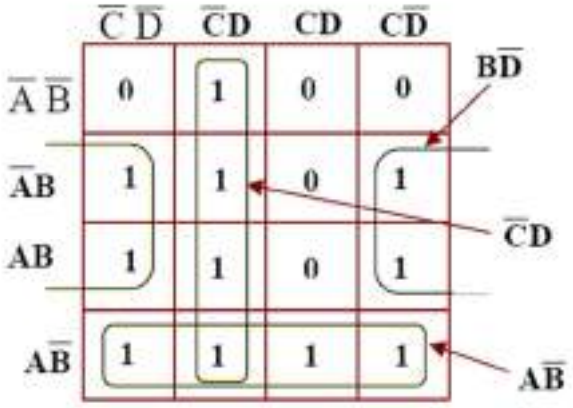
$Y = \overline{A}\,\overline{B}\,\overline{C}\,\overline{D} + \overline{A}\,\overline{B}CD + \overline{A}\,\overline{B}C\overline{D} + \overline{A}B\overline{C}\,\overline{D}$
$+ \overline{A}BCD + \overline{A}BC\overline{D} + AB\overline{C}\,\overline{D} + ABC\overline{D}$
$+ A\overline{B}\,\overline{C}\,\overline{D} + A\overline{B}CD + A\overline{B}C\overline{D}$ (قبل التبسيط)
$Y = \overline{A}C + \overline{B}C + \overline{D}$ (بعد التبسيط)

(ب)



$Y = \overline{A}\,\overline{B}\,\overline{C}\,\overline{D} + \overline{A}\,\overline{B}\,\overline{C}D + \overline{A}\,\overline{B}CD + \overline{A}\,\overline{B}C\overline{D}$
$+ \overline{A}B\overline{C}D + \overline{A}BCD + A\overline{B}CD + ABCD$
$+ A\overline{B}\,\overline{C}\,\overline{D} + A\overline{B}\,\overline{C}D + A\overline{B}C\overline{D} + A\overline{B}C\overline{D}$ (قبل التبسيط)
$Y = \overline{B} + D$ (بعد التبسيط)

(حـ)



$Y = \overline{A}\,\overline{B}\,\overline{C}D + \overline{A}B\overline{C}\,\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D}$
$+ AB\overline{C}\,\overline{D} + AB\overline{C}D + ABC\overline{D} + A\overline{B}\,\overline{C}\,\overline{D}$
$+ A\overline{B}\,\overline{C}D + A\overline{B}CD + A\overline{B}C\overline{D}$ (قبل التبسيط)
$Y = C\overline{D} + A\overline{B} + B\overline{D}$ (بعد التبسيط)

(د)

الشكل (3 -22) أمثلة مختلفة عن التجميع في خرائط كارنوف.

ثالثا : الاختبار الذاتي Self test

بسط المعادلات المنطقية التالية باستخدام خريطة كارنوف :

1- $F(A, B, C, D) = \Sigma m\ (2, 4, 8, 9, 10, 11, 13, 15)$

2- $F(X, Y, Z, W) = \Sigma m\ (0, 4, 5, 8, 12, 13)$

3- $F(A, B, C, D) = \Sigma m\ (0, 1, 2, 7, 8, 9, 10)$

4- $F(A, B, C, D) = ABC' + ABC + BCD' + BCD + AB'D' + A'B'D' + A'BC'D$

-

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية

مثال 3 -18: اكتب التعبير البوليني على الشكل القياسي (SOP) الذي يمثله جدول الحقيقة المبين في جدول (3 -8)، ثم قم بتبسيطه باستخدام خريطة كارنوف.

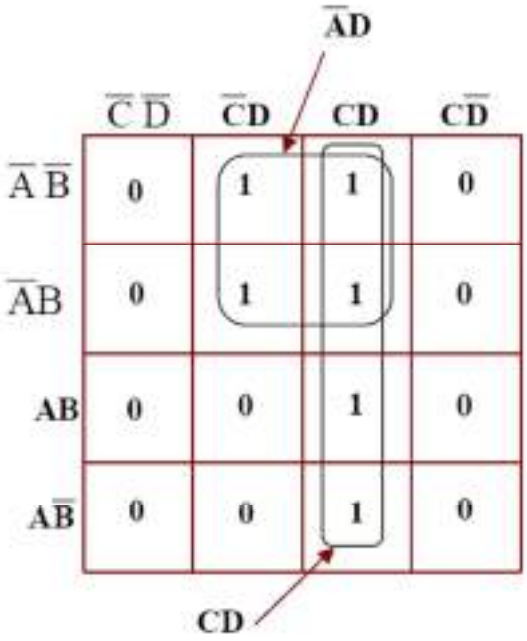
المدخلات				الخرج
A	B	C	D	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

الجدول (3 -8) جدول الحقيقة المطلوب تبسيط التعبير البوليني له في مثال (3 -18).

الحل: الخطوة الأولى للحصول على التعبير البوليني هي كتابة الحدود التي تعطي الخرج (Y) في جدول الحقيقة والمساوية للقيمة (1)، وبتجميع هذه الحدود يمكننا استنتاج التعبير البوليني وهو كما يلي:

$$Y = \overline{A}\overline{B}\overline{C}D + \overline{A}B\overline{C}D + A\overline{B}\overline{C}D + \overline{A}BCD + A\overline{B}CD + ABCD$$

والخطوة التالية هي رسم خريطة كارنوف لأربعة متغيرات كما نرى في شكل (3 -23)، ونقوم بوضع الأحاد التي في عمود الخرج (Y) من جدول الحقيقة في الخلايا المكافئة لها في خريطة كارنوف.



الشكل (3 -23) خريطة كارنوف للتعبير البوليني في مثال (3 -18).

وبالنظر إلى خريطة كارنوف في شكل (3 -23) نجد أنه يمكن تجميع الآحاد في مجموعتين كل مجموعة تحتوي على أربعة من الآحاد (1's). وبالتالي فإن الحلقة المربعة العليا والتي تحتوي على أربعة آحاد المتغير B والمتغير $\overline{B}$ يمكن حذفهما وبالمثل المتغير C والمتغير $\overline{C}$ وتكون النتيجة هي $\overline{A}D$. وكذلك بالنسبة للحلقة المستطيلة على الخريطة والتي تحتوي على أربعة آحاد فإنه يمكن حذف كل من المتغيرات B و $\overline{B}$ و A و $\overline{A}$ والنتيجة هي CD. والتعبير الجبري المبسط على ذلك يكون :

$$Y = \overline{A}D + CD$$

3 -13- 3 تبسيط التعبيرات على شكل (POS) Karnaugh Map (POS) Minimization

والآن بعد معرفتنا لكيفية تبسيط التعبيرات البولينية على شكل (SOP)، سوف نشرح الآن وبنفس الطريقة كيف يمكننا تبسيط الدوال على شكل (POS).

مثال 3 -19: اكتب التعبير البوليني على الشكل القياسي (POS) الذي يمثله جدول الحقيقة المبين في جدول (3 -9)، ثم قم بتبسيطه باستخدام خريطة كارنوف.

الحل: الخطوة الأولى للحصول على التعبير البوليني على شكل (POS)، هي كتابة الحدود المجموعة التي تعطي الخرج (Y) في جدول الحقيقة القيمة (0)، وبوضع هذه الحدود على شكل (POS) نحصل على التعبير البوليني وهو كما يلي:

$$Y=(A+B+C+D)(A+B+C+\overline{D})(\overline{A}+B+C+D)(A+\overline{B}+C+\overline{D})$$
$$(A+\overline{B}+\overline{C}+\overline{D})(\overline{A}+B+C+D)(\overline{A}+\overline{B}+C+D)$$

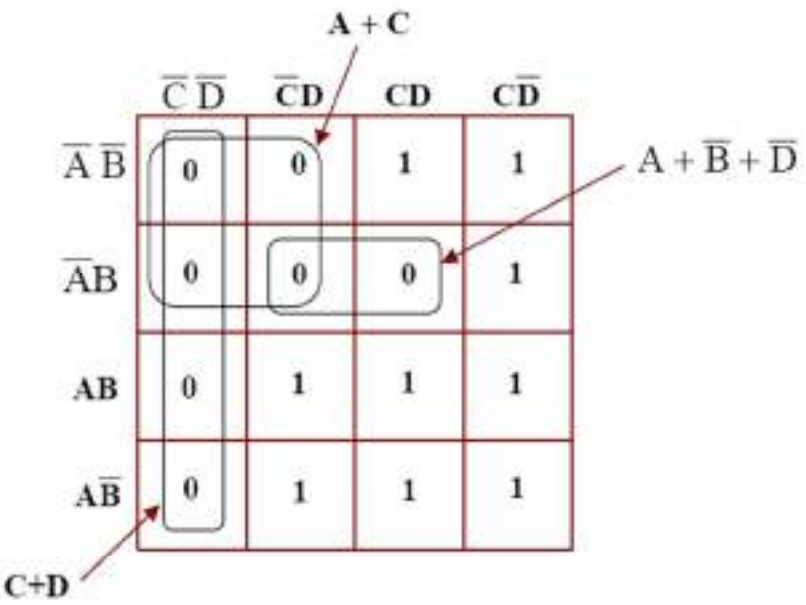
المدخلات				الخرج
A	B	C	D	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

الجدول (3 -9) جدول الحقيقة المطلوب تبسيط التعبير البوليني له في مثال (3 -19).

والخطوة التالية هي رسم خريطة كارنوف لأربعة متغيرات كما نرى في شكل(3 -24)، ونقوم بوضع الأصفار التي في عمود الخرج (Y) من جدول الحقيقة في الخلايا المكافئة لها في خريطة كارنوف.

وبالنظر إلى خريطة كارنوف في شكل (3 -24) نجد أنه يمكن تجميع الأصفار في ثلاثة مجموعات، مجموعتين تحتوي على أربعة من الأصفار (0's)، والمجموعة الثالثة تحتوي على صفرين. وبالتالي فإن الحلقة المربعة العليا والتي تحتوي على أربعة أصفار المتغير B والمتغير $\overline{B}$ يمكن حذفهما وبالمثل المتغير D والمتغير $\overline{D}$ وتكون النتيجة هي A+C. وكذلك بالنسبة للحلقة المستطيلة على الخريطة والتي تحتوي على أربعة أصفار فإنه يمكن حذف كل من المتغيرات B و $\overline{B}$ و A و $\overline{A}$ والنتيجة هي C+D. اما بالنسبة للحلقة التي تحتوي على صفرين فإنه يمكن حذف C والمتغير $\overline{C}$ ، والنتيجة هي $A+\overline{B}+\overline{D}$ ، ويكتب التعبير البوليني المبسط على شكل (POS) كما يلي:

$$Y=(C+D)(A+C)(A+\overline{B}+\overline{D})$$



الشكل (3 -24) خريطة كارنوف للتعبير البوليني في مثال (3 -19).

أسئلة وتمارين

1) طبق نظريات ديمورجان على كل من التعبيرات الآتية:

a) $\overline{A\overline{B}(C+\overline{D})}$

b) $\overline{AB(CD+EF)}$

c) $\overline{(A+\overline{B}+C+\overline{D})}+\overline{AB\overline{CD}}$

d) $\overline{\overline{(\overline{A}+B+C+D)\,(A\overline{B}\overline{C}D)}}$

2) باستخدام قواعد الجبر البوليني بسط التعبيرات البولينة التالية:

a) $F=A\overline{B}+A\overline{(B+C)}+B\overline{(B+C)}$

b) $F=[AB(C+\overline{BD})+\overline{AB}]CD$

c) $F=A\,B\,\overline{C}+\overline{A}\,\overline{B}\,C+\overline{A}\,B\,C+\overline{A}\,\overline{B}\,\overline{C}$

d) $F=\overline{A\,B}+\overline{A\,C}+\overline{A}\,\overline{B}\,\overline{C}$

3) حول التعبيرات القياسية (SOP) الآتية إلى التعبيرات (POS) القياسية:

a) $F=\overline{A}\,\overline{B}\,\overline{C}+\overline{A}\,B\,C+A\,\overline{B}\,\overline{C}+A\,B\,\overline{C}$

b) $F=\overline{A}\,\overline{B}\,C+\overline{A}\,B\,\overline{C}+A\,\overline{B}\,C+A\,B\,C$

c) $F=\overline{A}\,\overline{B}\,\overline{C}+\overline{A}\,\overline{B}\,C+\overline{A}\,B\,C+A\,B\,\overline{C}+A\,B\,C$

4) حول التعبيرات القياسية (POS) الآتية إلى التعبيرات (SOP) القياسية:

a) $F=(A+B+C)(A+\overline{B}+\overline{C})(\overline{A}+B+\overline{C})(\overline{A}+\overline{B}+C)$

b) $F=(A+\overline{B}+C)(\overline{A}+B+C)(\overline{A}+B+\overline{C})(A+B+C)$

c) $F=(A+B+\overline{C})(A+\overline{B}+C)(\overline{A}+B+\overline{C})(\overline{A}+\overline{B}+C)(\overline{A}+\overline{B}+\overline{C})$

5) استنتج جدول الحقيقة للتعبيرات القياسية (SOP) الآتية:

a) $F=\overline{A}\,\overline{B}\,\overline{C}+\overline{A}\,B\,\overline{C}+A\,\overline{B}\,\overline{C}+A\,B\,\overline{C}+A\,B\,C$

b) $F=A\,B\,\overline{C}+\overline{A}\,B\,C+A\,\overline{B}\,C+A\,B\,C$

c) $F=\overline{A}\,\overline{B}\,\overline{C}+\overline{A}\,B\,\overline{C}+A\,\overline{B}\,C+A\,B\,\overline{C}+A\,B\,C$

6) استنتج جدول الحقيقة للتعبيرات القياسية (POS) الآتية:

a) $F=(A+B+C)(A+\overline{B}+C)(\overline{A}+B+\overline{C})(\overline{A}+\overline{B}+C)$

b) $F=(A+B+\overline{C})(\overline{A}+B+C)(\overline{A}+B+\overline{C})(A+B+C)$

c) $F=(A+B+C)(A+\overline{B}+C)(\overline{A}+B+\overline{C})(\overline{A}+\overline{B}+C)(\overline{A}+\overline{B}+\overline{C})$

7) استنتج التعبيران القياسيان (SOP),(POS) من جدول الحقيقة الآتي:

A	B	C	F
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

8) حقق كلاً من التعبيرات المنطقية الآتية مستخدماً بوابات NAND فقط:

a) $ABCD+\overline{D}E$

b) $A\overline{B}C+AB+\overline{D}$

c) $A\overline{B}\overline{C}+D+E$

d) $A\overline{B}C+\overline{A}BC+ABC+AB\overline{C}$

9) حقق كل من التعبيرات المنطقية الآتية مستخدماً بوابات NOR فقط:

a) $(A+B+C)(A+\overline{B})$

b) $\overline{\overline{A}\overline{B}\overline{C}+(D+\overline{E})}$

c) $(\overline{A}B+C)(D\overline{E}+\overline{F})$

d) $\overline{\overline{(A+\overline{B})}+\overline{(\overline{C}+D)}}$

10) باستخدام خريطة كارنوف صمم دائرة منطقية في أبسط صورة على شكل (SOP)، لجدول الحقيقة الموضح بأسفل:

المدخلات			الخرج
A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

11) باستخدام خريطة كارنوف بسط كلاً من التعبيرات البولينية الآتية على شكل (SOP), (POS):

a) $F_1 = A\overline{B}\overline{C}D + A\overline{B}C\overline{D} + ABC\overline{D} + \overline{A}B\overline{C}D + AB\overline{C}D + \overline{A}BC\overline{D}$

b) $F_2 = ABC\overline{D} + \overline{A}B\overline{C}D + A\overline{B}\overline{C}D + AB\overline{C}D + \overline{A}BC\overline{D} + ABC\overline{D} + A\overline{B}C\overline{D}$

c) $F_3 = \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D} + AB\overline{C}\overline{D} + AB\overline{C}D + A\overline{B}\overline{C}D$

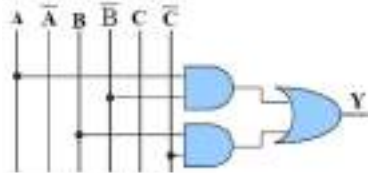
d) $F_4 = \overline{A}B\overline{C}\overline{D} + +\overline{A}BC\overline{D} + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}BCD + \overline{A}BC\overline{D} + A\overline{B}\overline{C}D + A\overline{B}CD$

رابعا : الاختبار البعدي Post test

بسط المعادلات المنطقية التالية باستخدام خريطة كارنوف :

1- $F = x'y' + yz + x'yz'$
2- $F = xy + x'y'z' + x'yz'$
3- $F = xyz + x'y'z + xyz'$
4- $F = x'y + yz' + y'z'$
5- $F = \Sigma(4, 5, 7, 12, 13, 14, 15)$
6- $F =$ $F = \Sigma(0, 1, 2, 3, 8, 10, 15)$

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

ثالثا : مفاتيح الاجابة على الاختبارات					
الاختبار القبلي Pre test		الاختبار الذاتي Self test		الاختبار البعدي Post test	
رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة
1	$Y = A\overline{B} + B\overline{C}$	1	$F(A, B, C, D) = AB' + AD + B'CD' + A'BC'D'$	1	$F = x' + yz$
2		2	$F(X, Y, Z, W) = YZ' + Z'W'$	2	$F = xy + x'z'$
		3	$F(A, B, C, D) = A'BCD + B'D' + B'C'$	3	$F = x'y'z + xy$
		4	$F(A, B, C, D) = BD + B'D' + BC + AD'$	4	$F = = x'y + z'$
3	$Y = \overline{B} + D$	5		5	$F = BC' + BD + AB$
4	$Y = \overline{C}D + A\overline{B} + B\overline{D}$	6		6	$F = B'D' + A'B' + ABCD$
5	$F = \overline{X}Z + Y$	7		7	
6		8		8	
7		9		9	
8		10		10	

المصادر (References) :

1- الالكترونيك الرقمي المتقدم ترجمة ((ضياء مهدي فارس وآخرون)).1991.
2- Digital Principles &Application
3- Digital computer fundamentals (thematic bartee))
4- Introduction to Digital computer((louis mashelsky))
5- Modern Digital electronics (R.P.Jain
6- الالكترونيك الرقمي وتطبيقاته ((تأليف: مالفينو)).

(المحاضرة الثانية عشر) : المقارن الرقمي (Digital Comparator)

أولا : النظرة الشاملة (Overview)

أ - الفئة المستهدفة Target Population

طلبة المرحلة: الاولى في المعهد التقني/ النجف - قسم انظمة الحاسوب

ب- مبررات المحاضرة وموضوعاتها Rationale

من الدوائر المهمة الموجودة في وحدة الحساب والمنطق (ALU) التابعة لوحدة المعالجة المركزية (CPU) في الحاسبات الالكترونية هي دائرة المقارن الرقمي والتي تقوم بمقارنة البيانات الداخلة اليها واعطاء اخراجات تبين حالات البيانات فيما اذا كانت متساوية ام اكبر ام اصغر .

وقد صممت هذه المحاضرة لكي يتعلم الطالب كيفية تصميم دائرة المقارن الرقمي بشكل مبسط لمرتبة واحدة ولمرتبتين .

ج- الأفكار المركزية Central Ideas

اولا : تصميم دائرة المقارن الرقمي ذوالمرتبة الواحدة .

ثانيا : تصميم دائرة المقارن الرقمي ذوالمرتبين .

د- أهداف المحاضرة Objectives

سيكون الطالب بعد دراسته لهذه المحاضرة قادرا على أن :

- يتعرف على كيفية تصميم دائرة المقارن الرقمي ذوالمرتبة الواحدة .
- يتعرف على كيفية تصميم دائرة المقارن الرقمي ذوالمرتبين .

ثانيا- الاختبار القبلي Pre test

أولا : ضع دائرة حول الرقم الذي يسبق الاجابة الصحيحة لكل مما يأتي:

أ- لدائرةالمقارن ذو المرتبة الواحدة يكون اخراج بوابة (AND) (F1=1) في حالة كون قيمتي (A,B) هي :

1- (0,0) .
2- (0,1) .
3- (1,0) .
4- (1,1) .

ب- لدائرةالمقارن ذو المرتبة الواحدة يكون اخراج بوابة (AND) (F2=1) في حالة كون قيمتي (A,B) هي :

1- (0,0) .
2- (0,1) .
3- (1,0) .
4- (1,1) .

ج- لدائرةالمقارن ذو المرتبة الواحدة يكون اخراج بوابة (XNOR) (F3=1) في حالة كون قيمتي (A,B) بالترتيب هي:

1- (0,0) مرة و(0,1) مرة أخرى.
2- (0,1) مرة و (1,0) مرة أخرى .
3- (1,0) مرة و (1,1) مرة أخرى .
4- (1,1) مرة و (0,0) مرة أخرى .

ثانيا : صمم دائرة المقارن الرقمي ذو المرتبة الواحدة .

ثالثا : صمم دائرة المقارن الرقمي ذو المرتبتين .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة، فاذا حصلت على نسبة اجابة اكثر من 75٪ فأنت لست بحاجة لهذه المحاضرة ، اما اذا حصلت على اقل من ذلك فانتقل الى الخطوة التالية: (نص المحاضرة)

أولا : المقارن الرقمي ذو المرتبة الواحدة

من الدوائر المنطقية التي تقوم بمعالجة أي كميتين أو رقمين ثنائيين هي دائرة المقارن الرقمي وتعرف كذلك بالمقارن الكمي . وتستخدم هذه الدوائر في مقارنة أي كميتين او رقمين ثنائيين مثل (A و B) فعند مقارنتهما تكون العلاقات الكمية للمقارنة بينهما هي :

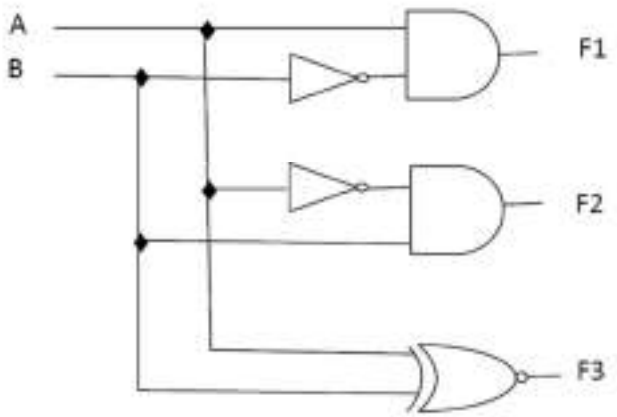
(A > B او A < B او A = B)

A	B	A>B F1	A<B F2	A=B F3
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	1

$F1 = A\,\overline{B}$

$F2 = \overline{A}\,B$

$F3 = \overline{A}\,\overline{B} + A\,B = A \odot B$



ثالثا : الاختبار الذاتي Self test

1- أرسم دائرة المقارن الرقمي ذو المرتبة الواحدة .

2- أرسم دائرة المقارن الرقمي ذو المرتبين .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

ثانيا : المقارن الرقمي ذو المرتبتين

A		B		A>B	A<B	A=B
A_2	A_1	B_2	B_1	F1	F2	F3
0	0	0	0	0	0	1
0	0	0	1	0	1	0
0	0	1	0	0	1	0
0	0	1	1	0	1	0
0	1	0	0	1	0	0
0	1	0	1	0	0	1
0	1	1	0	0	1	0
0	1	1	1	0	1	0
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	0	1
1	0	1	1	0	1	0
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	0	1

$$F1 = A_2\overline{B}_2 + A_2\ A_1\ \overline{B}_1 + A_1\ \overline{B}_2\overline{B}_1$$

$$F2 = \overline{A}_2 B_2 + \overline{A}_2\ \overline{A}_1\ B_1 + \overline{A}_1\ B_2 B_1$$

$$F3 = (A_2 B_2)\ \mathbf{O}\ (A_1 B_1)$$

F1

A_2A_1 \ B_2B_1	00	01	11	10
00	0	0	0	0
01	1	0	0	0
11	1	1	0	1
10	1	1	0	0

$A_1\overline{B}_2\overline{B}_1$ — $A_2\ A_1\ \overline{B}_1$ — $A_2\overline{B}_2$

F2

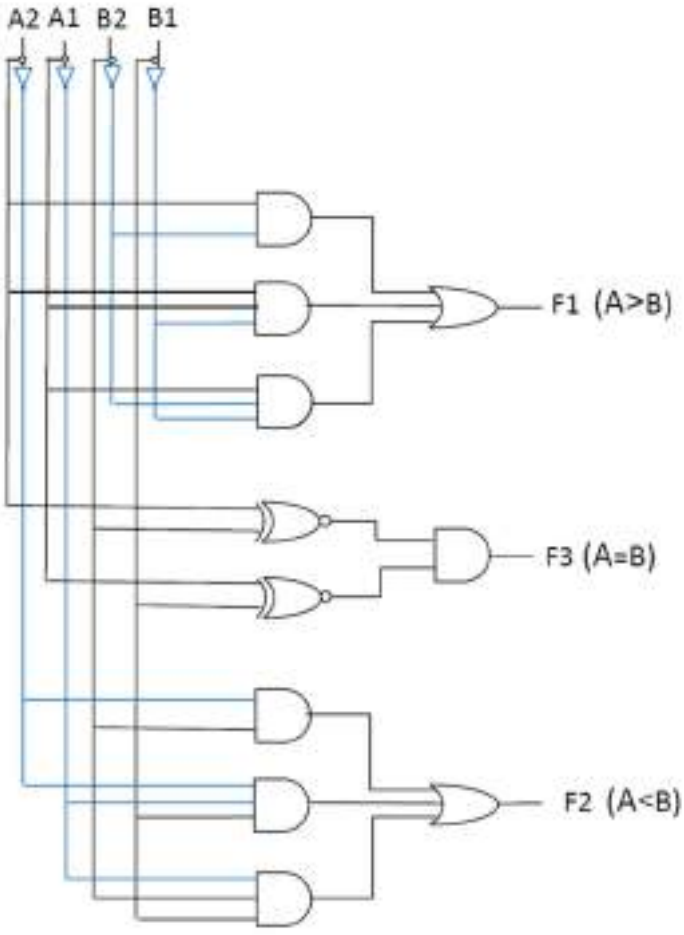
A_2A_1 \ B_2B_1	00	01	11	10
00	0	1	1	1
01	0	0	1	1
11	0	0	0	0
10	0	0	1	0

$\overline{A}_2\ \overline{A}_1\ B_1$ — $\overline{A}_2 B_2$ — $\overline{A}_1 B_2 B_1$

F3

A_2A_1 \ B_2B_1	00	01	11	10
00	1	0	0	0
01	0	1	0	0
11	0	0	1	0
10	0	0	0	1

$F_3 = (A_2 \odot B_2)(A_1 \odot B_1)$



رابعا : الاختبار البعدي Post test

ضع دائرة حول الحرف الذي يسبق الاجابة الصحيحة لكل مما يأتي:

1- لدائرةالمقارن ذو المرتبين يكون اخراج بوابة (OR) (F1=1) في حالة كون قيمتي (A_2,B_2) هي :

أ- (0,0) .

ب- (0,1) .

ت- (1,0) .

ث- (1,1) .

2- لدائرةالمقارن ذو المرتبين يكون اخراج بوابة (OR) (F2=1) في حالة كون قيمتي (A_2,B_2) هي:

أ- (0,0) .

ب- (0,1) .

ت- (1,0) .

ث- (1,1) .

3- لدائرةالمقارن ذو المرتبين يكون اخراج بوابة (AND) (F3=1) في حالة كون قيمتي (A_2,B_2) هي :

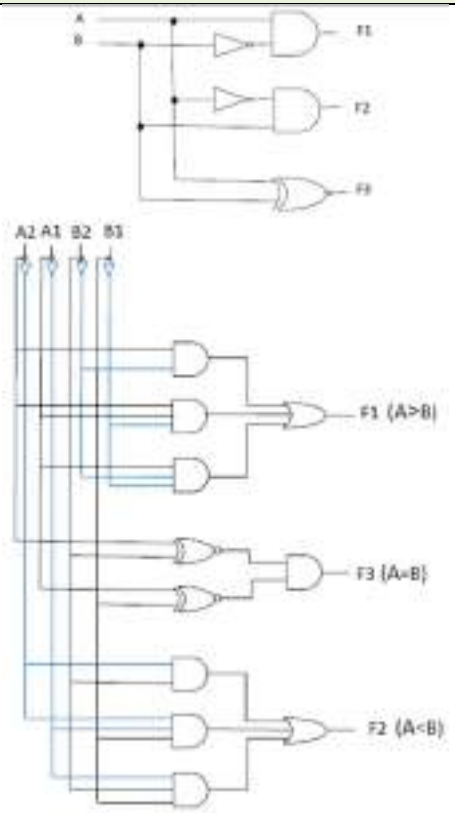
أ- (0,1) .

ب- (1,0) .

ت- (1,1) .

ث- (0,0) .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

ثالثا : مفاتيح الاجابة على الاختبارات					
الاختبار القبلي Pre test		الاختبار الذاتي Self test		الاختبار البعدي Post test	
رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة
أ	3	1		1	ت
ب	2			2	ب
ج	4			3	ت
ثانيا	$F1 = A\,\overline{B}$ $F2 = \overline{A}\,B$ $F3 = \overline{A}\,\overline{B} + A\,B = A \odot B$			4	
		2		5	
				6	
ثالثا	$F1 = A_2\overline{B}_2 + A_2\,A_1\,\overline{B}_1 + A_1\,\overline{B}_2\,\overline{B}_1$ $F2 = \overline{A}_2 B_2 + \overline{A}_2\,\overline{A}_1\,B_1 + \overline{A}_1\,B_2\,B_1$ $F3 = (A_2 B_2) \odot (A_1 B_1)$			7	
				8	
				9	
				10	

المصادر (References) :

1- الالكترونيك الرقمي وتطبيقاته ((تأليف: مالفينو)).
2- Digital Principles &Application
3- Digital computer fundamentals (thematic bartee))
4- Introduction to Digital computer((louis mashelsky))
5- Modern Digital electronics (R.P.Jain

(المحاضرة الثالثة عشر) : مفك الجفرات (Decoders)

أولا : النظرة الشاملة (Overview)

أ - الفئة المستهدفة Target Population

طلبة المرحلة: الاولى في المعهد التقني/ النجف - قسم انظمة الحاسوب

ب- مبررات المحاضرة وموضوعاتها Rationale

في معظم المنظومات الرقمية غالبا ما تكون هنالك حاجة للتحويل بين الجفرات من نوع الى اخر .
لذلك صممت هذه المحاضرة لكي يتعلم الطالب كيفية فك الجفرات من نظام عددي الى نظام عددي اخر.

ج- الأفكار المركزية Central Ideas

اولا: تصميم دائرة مفك الشفرات الثنائي الى الثماني .
ثانيا: تصميم دائرة مفك الشفرات من الثنائي الى العشري.

د- أهداف المحاضرة Objectives

سيكون الطالب بعد دراسته لهذه المحاضرة قادرا على أن :

- تصميم دائرة مفك الشفرات الثنائي الى الثماني
- تصميم دائرة مفك الشفرات من الثنائي الى العشري.

ثانيا- الاختبار القبلي Pre test

ضع دائرة حول الحرف الذي يسبق الاجابة الصحيحة لكل مما يأتي:

1- مفك الجفرة هو عبارة عن دائرة منطقية :

أ- تحول جفرة المداخل من النظام الثنائي الى الانظمة الاخرى .

ب- تجمع المداخل .

ت- تحول جفرة المداخل من الانظمة الاخرى الى النظام الثنائي.

ث- تستخرج متمم ال(1) للمداخل.

2- لتصميم دائرة مفك الجفرة من النظام الثنائي الى النظام الثماني نحتاج الى :

أ- ثمانية ادخالات وثلاث بوابات AND مع بوابات النفي .

ب- ثلاثة ادخالات و ثمانية بوابات AND مع بوابات النفي .

ت- ثلاثة ادخالات وثمانية بوابات OR مع بوابات النفي .

ث- سبعة ادخالات وثلاث بوابات AND مع بوابات النفي .

3- ارسم التركيب الداخلي لدائرة مفك الجفرة من النظام الثنائي الى النظام الثماني مع خط تنشيط واطئ (active low enable) .

4- تربط البوابة التي يكافئ اخراجهاالقيمة(0) بالمداخل ..... .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة، فاذا حصلت على نسبة اجابة اكثر من 75٪ فأنت لست بحاجة لهذه المحاضرة ، اما اذا حصلت على اقل من ذلك فانتقل الى الخطوة التالية: (نص المحاضرة)

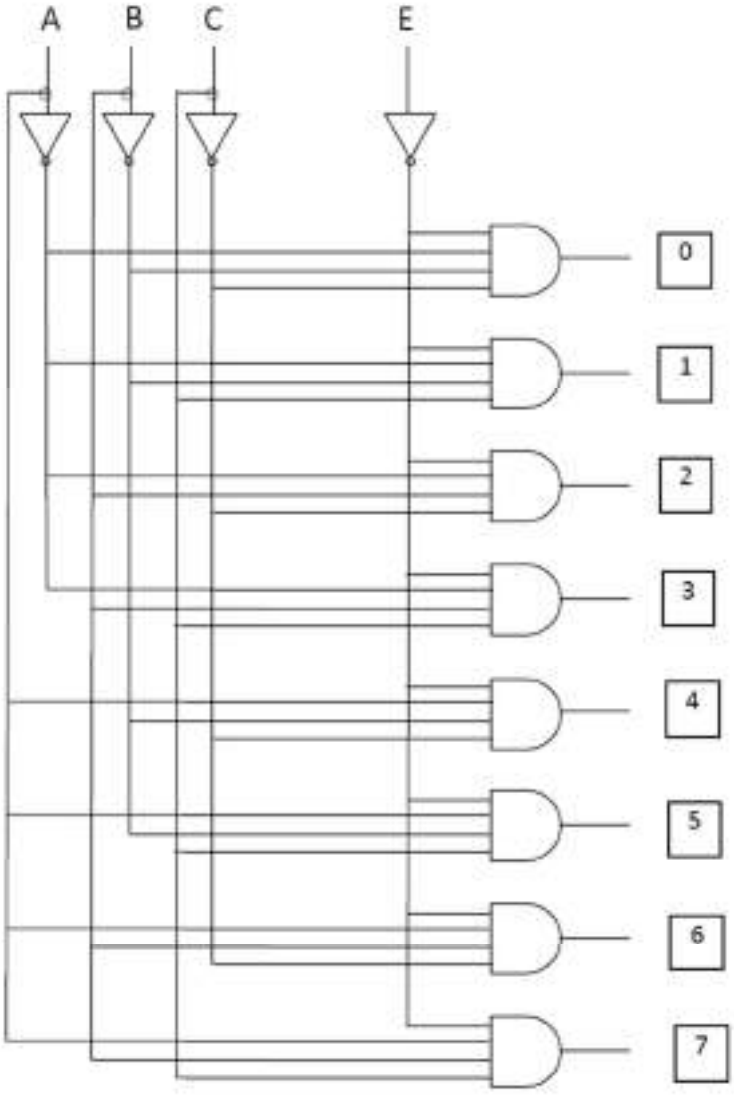
المحاضرة الرابعة عشر

مفك الجفرات (Decoder)

أهداف المحاضرة الرابعة عشر:

بعد نهاية المحاضرة الرابعة عشر يتعرف الطالب على :

مفك الجفرات الثنائي الى الثماني - مفك الجفرات من الثنائي الى العشري .



الشكل (١)

يقوم مفك الجفرات (Decoder) المبين بالشكل (١) بتحويل الجفرة الثنائية الى جفرة بشكل نظام ثماني ونلاحظ كذلك وجود خط التشغيل او التمكين (Enable) الوظيفي (اي لاتعمل الدائرة بالشكل الاعتيادي الا اذا كان ادخال هذا الخط = Logic 0 وذلك بسبب وجود دائرة النفي)

ثالثا : الاختبار الذاتي Self test

اكمل الفراغات التالية بما يناسبها :

1- تربط البوابة التي يكافئ اخراجهاالقيمة(1) بالمداخل ..... .

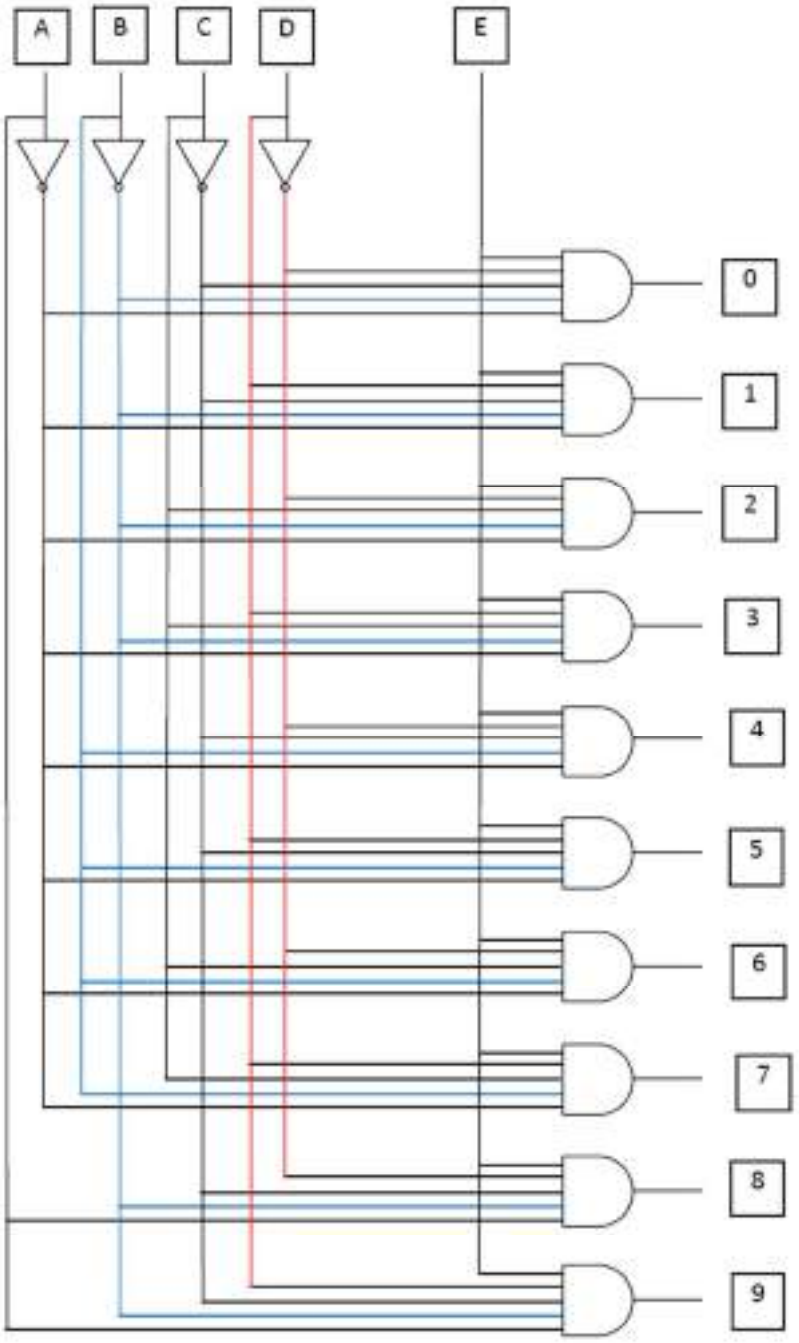
2- تربط البوابة التي يكافئ اخراجهاالقيمة(2) بالمداخل ..... .

3- تربط البوابة التي يكافئ اخراجهاالقيمة(3) بالمداخل ..... .

4- تربط البوابة التي يكافئ اخراجهاالقيمة(4) بالمداخل ..... .

5- تربط البوابة التي يكافئ اخراجهاالقيمة(8) بالمداخل ..... .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.



الشكل (٢)

يقوم مفك الجفرات (Decoder) المبين بالشكل (٢) بتحويل الجفرة الثنائية الى جفرة بشكل نظام عشري ونلاحظ كذلك وجود خط التشغيل او التمكين (Enable) العالي (اي لاتعمل الدائرة بالشكل الاعتيادي الا اذا كان ادخال هذا الخط = Logic 1 وذلك بسبب عدم وجود دائرة النفي)

رابعا : الاختبار البعدي Post test

1- ارسم التركيب الداخلي لدائرة مفك الجفرة من النظام الثنائي الى النظام العشري مع خط تنشيط عالي (active high enable) .

2- مفك الجفرة هو عبارة عن دائرة منطقية تقع بعد مرحلة ..... وقبل مرحلة ..... في الحاسبات الالكترونية .

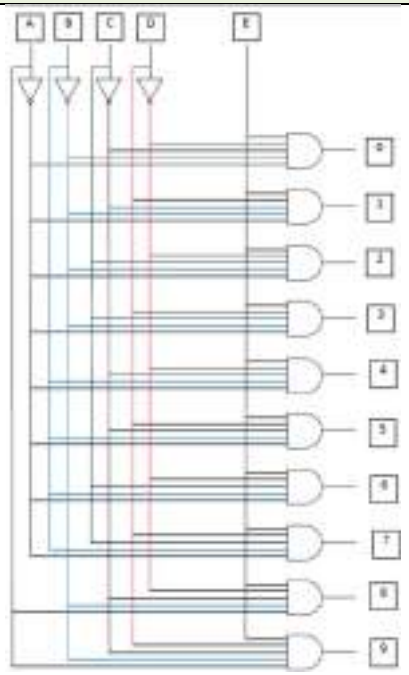
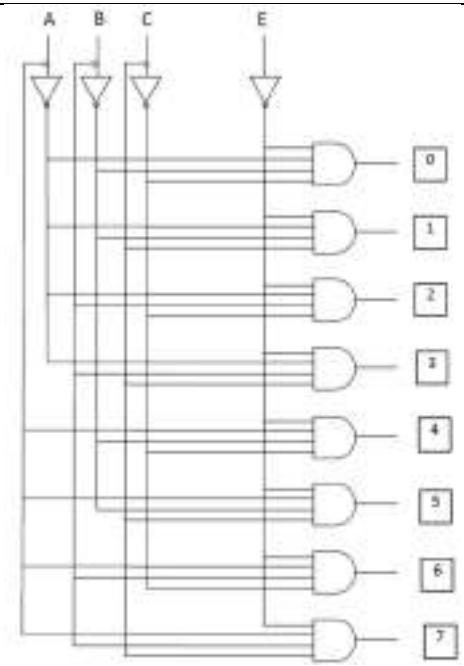
3- تربط البوابة التي يكافئ اخراجهاالقيمة(5) بالمداخل ..... .

4- تربط البوابة التي يكافئ اخراجهاالقيمة(6) بالمداخل ..... .

5- تربط البوابة التي يكافئ اخراجهاالقيمة(7) بالمداخل ..... .

6- تربط البوابة التي يكافئ اخراجهاالقيمة(9) بالمداخل ..... .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

ثالثا : مفاتيح الاجابة على الاختبارات					
الاختبار القبلي Pre test		الاختبار الذاتي Self test		الاختبار البعدي Post test	
رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة
1	أ	1	A',B',C	1	
2	ب	2	A',B,C'	2	وحدة المعالجة المركزية ، شاشة العرض
3		3	A',B,C	3	A',B',C',D
		4	A,B',C'	4	A',B,C,D'
		5	A,B',C',D'	5	A',B,C,D
		6		6	A,B',C',D
		7			
		8			
		9			
		10			
4	A',B',C'				

المصادر (References) :

1- الالكترونيك الرقمي وتطبيقاته ((تأليف: مالفينو)).
2- Digital Principles &Application
3- Digital computer fundamentals (thematic bartee))
4- Introduction to Digital computer((louis mashelsky))
5- Modern Digital electronics (R.P.Jain

(المحاضرة الرابعة عشر) : الترميز (Encoding)

أولا : النظرة الشاملة (Overview)

أ - الفئة المستهدفة Target Population

طلبة المرحلة: الاولى في المعهد التقني/ النجف - قسم انظمة الحاسوب

ب- مبررات المحاضرة وموضوعاتها Rationale

في معظم المنظومات الرقمية غالبا ما تكون هنالك حاجة للتحويل بين الجفرات من نوع الى اخر .

لذلك صممت هذه المحاضرة لكي يتعلم الطالب كيفية ترميز الجفرات من نظام عددي الى نظام عددي اخر.

ج- الأفكار المركزية Central Ideas

اولا: تصميم دائرة الترميز من الثماني الى الثنائي .

ثانيا: تصميم دائرة الترميز العشري الى الثنائي .

د- أهداف المحاضرة Objectives

سيكون الطالب بعد دراسته لهذه المحاضرة قادرا على أن :

- يصمم دائرة الترميز من الثماني الى الثنائي .
- يصمم دائرة الترميز العشري الى الثنائي .

ثانيا- الاختبار القبلي Pre test

ضع دائرة حول الحرف الذي يسبق الاجابة الصحيحة لكل مما يأتي:

1- المجفر هو عبارة عن دائرة منطقية :
أ- تقلب المداخل عند الاخراج .
ب- تجمع المداخل .
ت- تحول جفرة المداخل من نظام الى اخر .
ث- تستخرج متمم ال(2) للمداخل.

2- لتصميم دائرة المجفر من النظام الثماني الى النظام الثنائي نحتاج :
أ- ثمانية ادخالات وثلاث بوابات OR .
ب- ثمانية ادخالات واربع بوابات OR .
ت- ثمانية ادخالات و بوابتي OR .
ث- سبعة ادخالات وثلاث بوابات OR .

3- ارسم التركيب الداخلي لدائرة المجفر من النظام الثماني الى النظام الثنائي مع خط تنشيط واطئ (active low enable) .

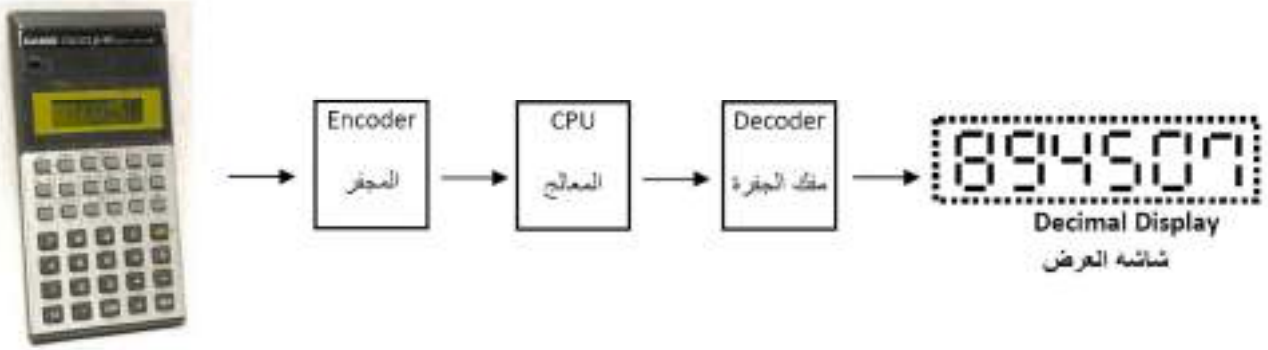
4- يربط المفتاح الذي يحمل الرقم (8) ببوابة ال (OR) رقم ..... .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة، فاذا حصلت على نسبة اجابة اكثر من 75٪ فأنت لست بحاجة لهذه المحاضرة ، اما اذا حصلت على اقل من ذلك فانتقل الى الخطوة التالية: (نص المحاضرة)

المجفرات (Encoders) :

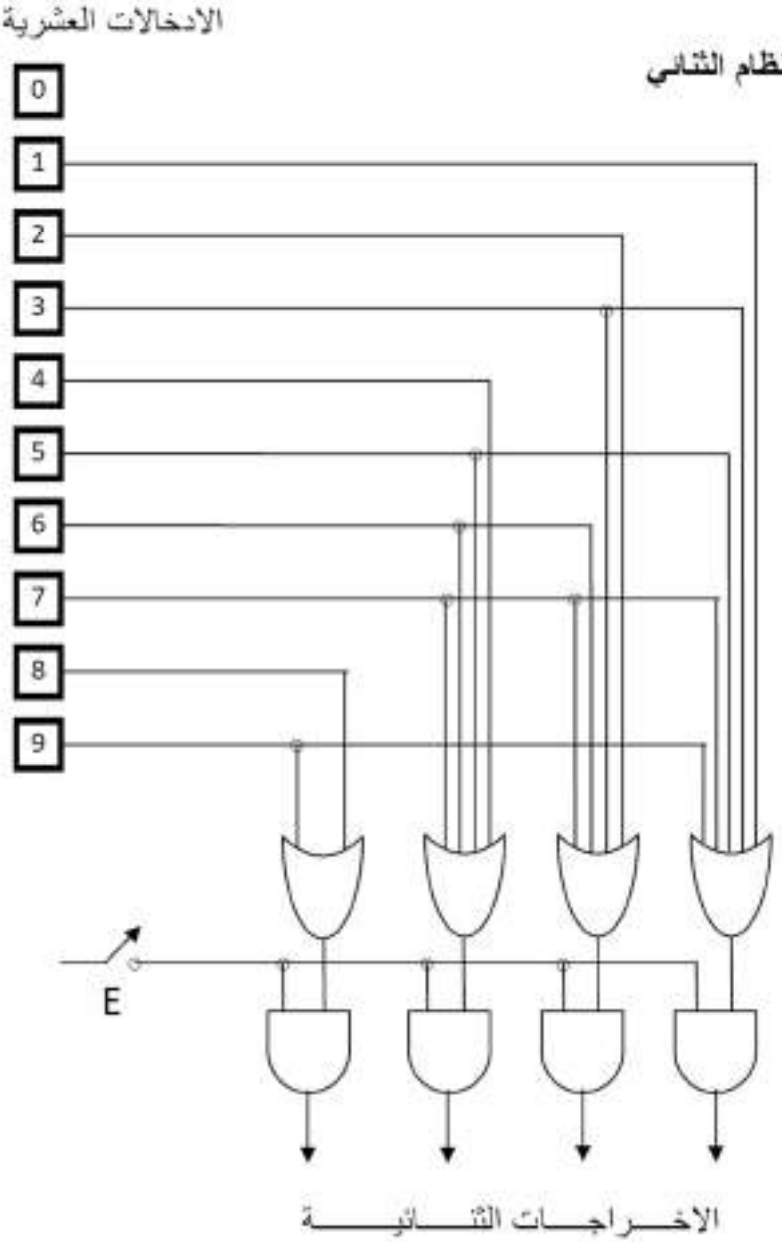
إن احد استخدامات البوابات المنطقية في المنظومات الرقمية هو استخدامها كمحولات للجفرة (Code Converters) . الجفرات الشائعة الاستخدام هي : الثنائي والثماني والسداسي عشر والعشري المجفر ثنائيا .

إن معظم الغموض الذي يكتنف الحاسبات الالكترونية وغيرها من النظم الرقمية يأتي من اللغة غير المالوفة للدوائر الرقمية ، فالاجهزة الرقمية يمكنها إن تتعامل فقط مع الارقام الثنائية (1و0) حيث انه من الصعب على الانسان إن يفهم سلسلة طويلة من الواحدات والاصفار ولهذا السبب فان محولات الجفرات تصبح ضرورية للتحويل من لغة البشر الى لغة الالة وبالعكس .



نلاحظ في الرسم التخطيطي المبسط مراحل احدى الحاسبات الصغيرة حيث إن اداة الادخال الى اليسار هي لوحة المفاتيح الشائعة (Keyboard)، وبين لوحة المفاتيح ووحدة المعالجة المركزية (CPU) الخاصة بالحاسبة تجد المجفر حيث يقوم هذا المجفر بترجمة العدد العشري الذي يتم ادخاله بواسطة الضغط على احد ازرار لوحة المفاتيح الى جفرة ثنائية ثم تقوم وحدة المعالجة المركزية بتأدية وظائفها على الجفرة الثنائية الداخلة وبعد معالجتها تخرج على شكل نظام ثنائي يقوم بعد ذلك مفك الجفرات (Decoder) بترجمة هذه الجفرة الثنائية الخارجة من وحدة المعالجة المركزية الى جفرة عشرية وفي هذه المنظومة يكون المجفر و مفك الجفرات عبارة عن مترجمات جفرة الكترونية ويمكننا إن نتصور المجفر على انه اداة الترجمة من لغة البشر الى لغة الالة ، اما مفك الجفرات فيقوم بعملية معكوسة حيث يقوم بالترجمة من لغة الالة الى لغة البشر .

ا- المجفرمن النظام العشري الى النظام الثنائي



الدائرة المبينة في الشكل المجاور تقوم بتحويل الرقم العشري الداخل الى ما يكافئه بالنظام الثنائي .
نلاحظ من الشكل انه عندما يتم الضغط على المفتاح الذي يحمل الرقم (9) مثلا والذي تم توصيله مسبقا بالبوابتين الاولى والرابعة سيظهر عند اخراج البوابات الاربعـــة الرقم الثنائـــي $_2$(1001) وهو مايكافئ الرقم (9) الذي تم ادخاله ونلاحظ كذلك ان الرقم (0) لم يربط باي بوابة حيث عندما يضغط يبقى اخراج البوابات كلها يساوي $_2$(0000) وهو مايكافئ قيمة الصفر الداخلة .

ثالثا : الاختبار الذاتي Self test

اكمل الفراغات التالية بما يناسبها :

1- يربط المفتاح الذي يحمل الرقم (1) ببوابة ال (OR) رقم ..... بينما يربط المفتاح الذي يحمل الرقم (2) ببوابة ال (OR) رقم ..... .

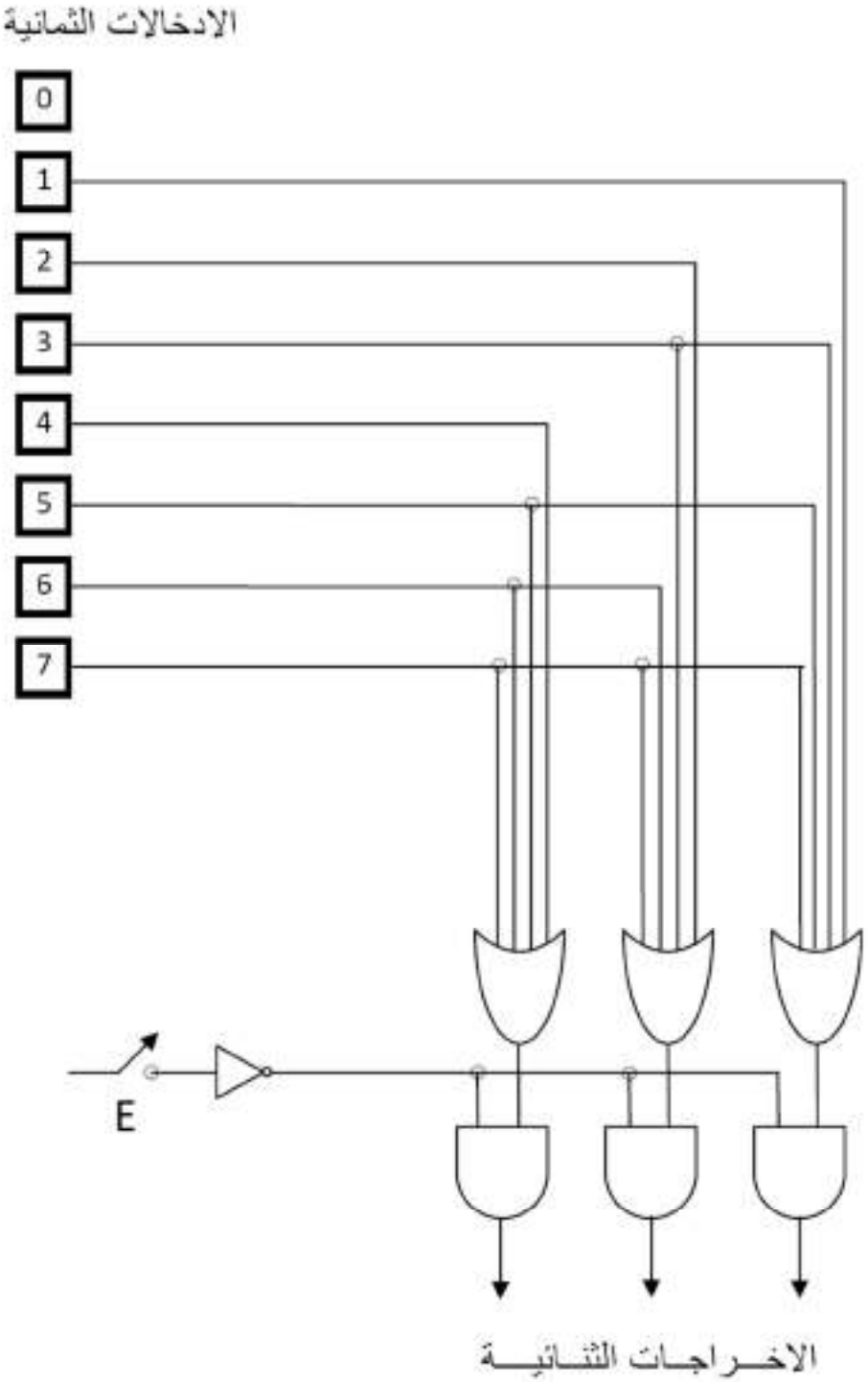
2- يربط المفتاح الذي يحمل الرقم (3) ببوابة ال (OR) رقم ..... و ببوابة ال (OR) رقم ..... .

3- يربط المفتاح الذي يحمل الرقم (5) ببوابة ال (OR) رقم ..... و ببوابة ال (OR) رقم ..... .

4- يربط المفتاح الذي يحمل الرقم (6) ببوابة ال (OR) رقم ..... و ببوابة ال (OR) رقم ..... .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

ب- المجفرمن النظام الثماني الى النظام الثنائي



الدائرة المبينة في الشكل المجاور تقوم بتحويل الرقم الثماني الداخل الى ما يكافئه بالنظام الثنائي .
نلاحظ من الشكل انه عندما يتم الضغط على المفتاح الذي يحمل الرقم (6) مثلا والذي تم توصيله مسبقا بالبوابتين الثانية والثالثة سيظهر عند اخراج البوابات الثلاثـــة الرقم الثنائـــي $(110)_2$ وهو مايكافئ الرقم (6) الذي تم ادخاله ونلاحظ كذلك ان الرقم (0) لم يربط باي بوابة حيث عندما يضغط يبقى اخراج البوابات كلها يساوي $(000)_2$ وهو مايكافئ قيمة الصفر الداخلة .

رابعا : الاختبار البعدي Post test

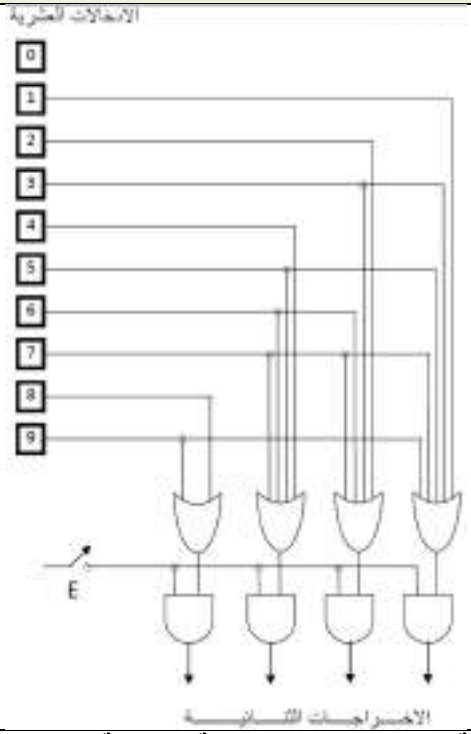
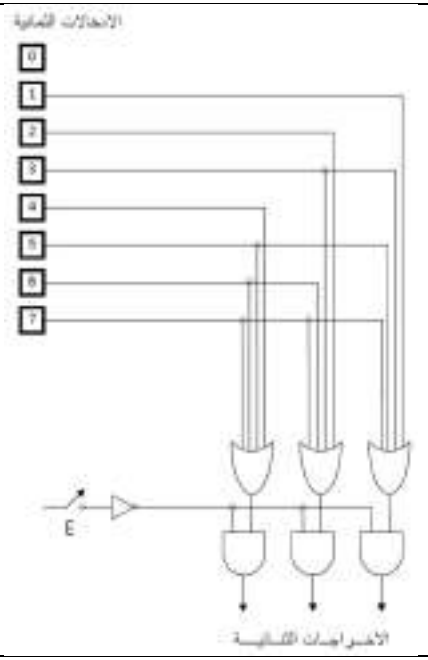
1- ارسم التركيب الداخلي لدائرة المجفر من النظام العشري الى النظام الثنائي مع خط تنشيط عالي (active high enable) .

2- المجفر هو عبارة عن دائرة منطقية تقع بعد مرحلة ..... وقبل مرحلة ..... في الحاسبات الالكترونية.

3- يربط المفتاح الذي يحمل الرقم (7) ببوابة ال (OR) رقم ..... و ببوابة ال (OR) رقم ..... و ببوابة ال (OR) رقم ..... .

4- يربط المفتاح الذي يحمل الرقم (9) ببوابة ال (OR) رقم ..... و ببوابة ال (OR) رقم ..... .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

ثالثا : مفاتيح الاجابة على الاختبارات					
الاختبار القبلي Pre test		الاختبار الذاتي Self test		الاختبار البعدي Post test	
رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة
1	ت	1	2,1	1	
2	أ	2	2,1	2	لوحة المفاتيح ، وحدة المعالجة المركزية
3		3	3,1	3	3,2,1
		4	3,2	4	4,1
		5			
		6			
		7			
		8			
		9			
		10			
4	4				

المصادر (References) :

1- الالكترونيك الرقمي المتقدم ترجمة ((ضياء مهدي فارس وآخرون)).1991.
2- Digital Principles &Application
3- Digital computer fundamentals (thematic bartee))
4- Introduction to Digital computer((louis mashelsky))
5- Modern Digital electronics (R.P.Jain
6- الالكترونيك الرقمي وتطبيقاته ((تأليف: مالفينو)).

(المحاضرة الخامسة عشر) : الدوائر الحسابية (Arithmetic Circuits)

أولا : النظرة الشاملة (Overview)

أ - الفئة المستهدفة Target Population

طلبة المرحلة: الاولى في المعهد التقني/ النجف - قسم انظمة الحاسوب

ب - مبررات المحاضرة وموضوعاتها Rationale

من الدوائر المهمة الموجودة في وحدة الحساب والمنطق (ALU) التابعة لوحدة المعالجة المركزية (CPU) في الحاسبات الالكترونية هي الدوائر الحسابية والتي تقوم بالعمليات الحسابية كالجمع والطرح وغيرها .
وقد صممت هذه المحاضرة لكي يتعلم الطالب كيفية تصميم دائرة نصف الجامع- دائرة الجامع التام .

ج- الأفكار المركزية Central Ideas

اولا : تصميم دائرة نصف الجامع .
ثانيا : تصميم دائرة الجامع التام .

د- أهداف المحاضرة Objectives

سيكون الطالب بعد دراسته لهذه المحاضرة قادرا على أن :

- يصمم دائرة نصف الجامع .
- يصمم دائرة الجامع التام .

ثانيا- الاختبار القبلي Pre test

ضع دائرة حول الحرف الذي يسبق الاجابة الصحيحة لكل مما يأتي:

1- ان عدد مداخل دائرة نصف الجامع هو .....، وعدد مخارجها هو.....

أ- (3,2) .

ب- (2,3) .

ت- (2,2) .

ث- (1,2).

2- تستخدم دائرة نصف الجامع لجمع :

أ- رقمين .

ب- عددين .

ت- رقم وعدد .

ث- موجتين جيبيتين .

3- تتكون دائرة نصف الجامع من :

أ- بوابة NOR و بوابة AND.

ب- بوابة XOR و بوابة OR.

ت- بوابة AND بوابة NAND.

ث- بوابة XOR و بوابة AND.

4- تتكون دائرة الجامع التام من:

أ- بوابة **NOT** و دائرة نصف جامع .

ب- بوابة **OR** و بوابتي **AND** .

ت- دائرتي نصف جامع و بوابة **OR** ذات مدخلين .

ث- دائرتي نصف جامع و بوابة **AND** ذات مدخلين .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة، فاذا حصلت على نسبة اجابة اكثر من 75٪ فأنت لست بحاجة لهذه المحاضرة ، اما اذا حصلت على اقل من ذلك فانتقل الى الخطوة التالية: (نص المحاضرة)

4 -2 دوائر الجمع والطرح الثنائية Binary Adders and Subtractors

سبق وأن درسنا في الوحدة الأولى النظم العددية المختلفة في الدوائر الرقمية وكذلك العمليات الحسابية لكل نظام، ثم درسنا في الوحدة الثانية الأنواع المختلفة للبوابات المنطقية وكيفية عملها. وهنا سوف نتناول بالدراسة كيفية إجراء عمليات الجمع والطرح الثنائي فقط بواسطة البوابات المنطقية كأحد العمليات الرئيسة في الأنظمة الرقمية أو ما يطلق عليه الدوائر الحسابية للجمع والطرح الثنائي.

4 -2 -1 دائرة الجامع النصفي The Half-Adder Circuit

سبق وأن درسنا القواعد الأربعة للجمع الثنائي ، والجدول (4 -1) مراجعة لهذه القواعد حيث المدخلات هي A,B والخرج يمثل حاصل الجمع [Sum(S)] والباقي المرحل أو الحامل [Carry (C)].

المدخلات		الخرج		
A	B	S	C	
0	0	0	0	$0 + 0 = 0$ مع عدم وجود حامل
0	1	1	0	$0 + 1 = 1$ مع عدم وجود حامل
1	0	1	0	$1 + 0 = 1$ مع عدم وجود حامل
1	1	0	1	$1 + 1 = 10_2$ or 2_{10} 1 والتي تمثل 0 وحامل

الجدول (4 -1) القواعد الأربعة للجمع الثنائي.

وبدراسة عمود الجمع (S) في جدول الحقيقة نجد أنه يماثل تماماً خرج البوابة (XOR). والآن إذا نظرنا إلى عمود الحامل (C) نجد أنه يماثل تماماً خرج البوابة AND. شكل (4 -1(أ)) يوضح كيفية توصيل البوابتين لجمع الدخلين A, B والحصول على الخرجين C,S واللذين يتبعان جدول الحقيقة السابق. وتسمى الدائرة باسم الجامع النصفي.

الشكل (4 -1) الدائرة المنطقية للجامع النصفي.

ثالثا : الاختبار الذاتي Self test

اكمل الفراغات التالية بما يناسبها :

1- ان عدد مداخل دائرة الجامع التام هو .....، وعدد مخارجها هو.....

أ- (3,2) .

ب- (3,3) .

ت- (2,3) .

ث- (1,3).

2- يمكن الحصول على دائرة الجامع التام عن طريق ربط :

ج- دائرتي نصف جامع وبوابة AND .

ح- دائرتي نصف جامع وبوابة OR .

خ- دائرتي نصف جامع وبوابتي OR.

د- دائرتي نصف جامع وبوابتي AND .

3- تستخدم دائرة الجامع التام لجمع :

أ- عددين .

ب- اربعة ارقام .

ت- ثلاثة ارقام .

ث- رقمين .

4- صمم دائرة نصف الجامع .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

والمخطط الصندوقي لدائرة الجامع النصفي موضحة في شكل (4 -1(ب)) حيث يرمز الحرفان HA إلى كلمتي (**H**alf **A**dder) أي الجامع النصفي. والدالة المنطقية المبسطة للخرجين S و C يمكن الحصول عليهما مباشرة من جدول الحقيقة، وبالرجوع إلى الجدول نجد أن:

$$S = \overline{A}B + A\overline{B}$$
$$C = AB$$

4 -2 -2 دائرة الجامع الكامل The Full-Adder Circuit

عند دراستنا لأمثلة جمع الأعداد الثنائية وجدنا أنه عند جمع خانتين ثنائيتين (2-bits) غالباً ما يتبقى مقدار يسمى الباقي أو المرحل أو الحامل (carry) والذي يجب أن يرحل ليجمع مع الخانة التالية، وعلى هذا فإنه في أحد الأعمدة يكون الجمع لثلاثة خانات ثنائية (3-bits) وليس لخانتين فقط وبالتالي فإن الجامع النصفي لا يمكن استخدامه في هذه الحالة، ونكون في حاجة إلى دائرة جديدة تستطيع جمع ثلاثة خانات ثنائية في نفس الوقت، وهذه الدائرة تسمى بدائرة الجامع الكامل.

ودائرة الجامع الكامل هي دائرة توافقية تستطيع جمع ثلاثة خانات ثنائية (3-bits) في نفس الوقت، وهي تتكون من ثلاثة مدخلات وخرجين، اثنان من المدخلات هما A و B يمثلان الرقمين المراد جمعهما والدخل الثالث C_{in} (Input carry) يمثل الحامل الباقي أو المرحل من جمع الخانتين الثنائيتين السابقتين. وهناك خرجان هما الحامل (Carry)، والمجموع (Sum). جدول الحقيقة لدائرة الجامع الكامل الموضح بالجدول (4 -2).

المدخلات			الخرج		
A	B	C_{in}	S	C	
0	0	0	0	0	0 + 0 + 0 = 0 مع عدم وجود حامل
0	0	1	1	0	0 + 0 + 1 = 1 مع عدم وجود حامل
0	1	0	1	0	0 + 1 + 0 = 1 مع عدم وجود حامل
0	1	1	0	1	0 + 1 + 1 = 10_2 or 2_{10} 1 والتي تمثل 0 وحامل 1
1	0	0	1	0	1 + 0 + 0 = 1 مع عدم وجود حامل
1	0	1	0	1	1 + 0 + 1 = 10_2 or 2_{10} 1 والتي تمثل 0 وحامل 1
1	1	0	0	1	1 + 1 + 0 = 10_2 or 2_{10} 1 والتي تمثل 0 وحامل 1
1	1	1	1	1	1 + 1 + 1 = 11_2 or 3_{10} 1 والتي تمثل 1 وحامل 1

الجدول (4 -2) قواعد الجمع في حالة الجامع الكلي.

الأعمدة الثلاثة الأولى في الجدول تمثل الدخل والمكون من A, B, C وبذلك يكون عدد احتمالات الدخل يساوي ($2^3 = 8$) ثمانية احتمالات. أما بالنسبة لأعمدة الخرج والمكونة من C, S فإنه يتم الحصول عليها من حاصل الجمع الرياضي للمدخلات الثلاثة وكما هو مبين في الجدول السابق. نلاحظ أنه يمكن كتابة التعبير المنطقي الذي يمثل الخرج S,C من جدول الحقيقة كما يلي:

$$S = \overline{A}\overline{B}C_{in} + \overline{A}B\overline{C}_{in} + A\overline{B}\overline{C}_{in} + ABC_{in}$$
$$C = \overline{A}BC_{in} + A\overline{B}C_{in} + AB\overline{C}_{in} + ABC_{in}$$

وللوصول إلى الشكل النهائي والمبسط لدائرة الجامع الكامل، يجب البدء بكتابة المعادلتين السابقتين للوصول إلى التصميم الأمثل ولنبدأ بمعادلة الخرج S:

$$S = \overline{A}\overline{B}C_{in} + \overline{A}B\overline{C}_{in} + A\overline{B}\overline{C}_{in} + ABC_{in}$$
$$= (\overline{A}B + A\overline{B})\overline{C}_{in} + (\overline{A}\overline{B} + AB)C_{in}$$

المقدار $\overline{A}B + A\overline{B}$ يمثل معادلة XOR بمدخلين، والمقدار $\overline{A}\overline{B} + AB$ يمثل معادلة XNOR بمدخلين ويمكن وضع المعادلة السابقة على الصورة التالية:

$$S = (A \oplus B)\overline{C}_{in} + \overline{(A \oplus B)}C_{in}$$

وبالنظر إلى هذه المعادلة نجد أنها تمثل XOR بدخلين أحدهما $(A \oplus B)$ والآخر C_{in} وبالتالي فإن الصورة النهائية لمعادلة S تصبح:

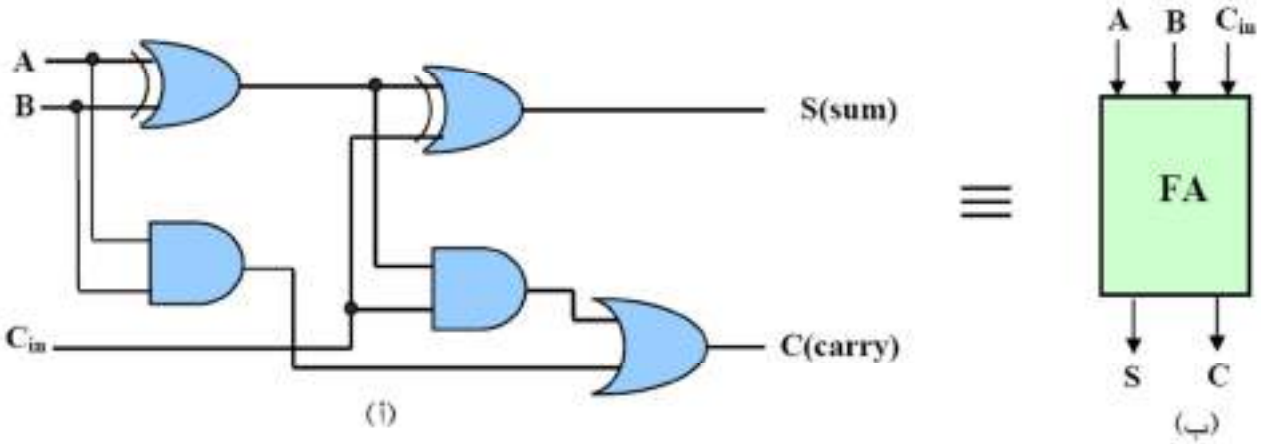
$$S = (A \oplus B) \oplus C_{in} = A \oplus B \oplus C_{in}$$

وبالتالي فان معادلة S يمكن تمثيلها باستخدام بوابتي XOR، الأولى دخلها A, B والثانية دخلها هو خرج الأولى مع C_{in}.

والآن لنبدأ في تحليل معادلة C للوصول إلى التمثيل الأمثل لها:

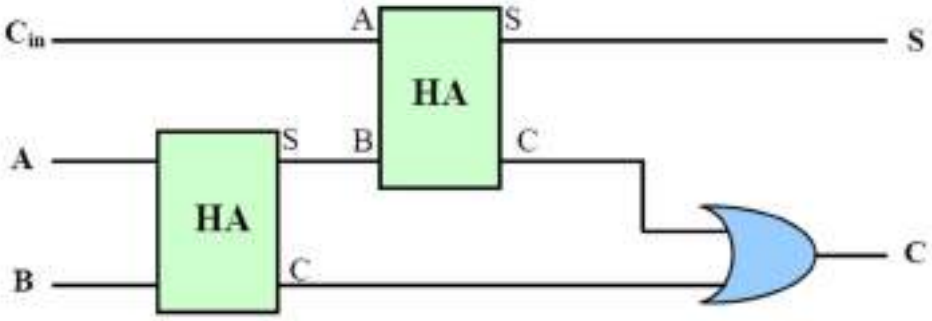
$$C = \overline{A}BC_{in} + A\overline{B}C_{in} + AB\overline{C}_{in} + ABC_{in}$$
$$= (\overline{A}B + A\overline{B})C_{in} + AB(\overline{C}_{in} + C_{in})$$
$$= (A \oplus B)C_{in} + AB \Leftarrow (\overline{C}_{in} + C_{in} = 1)$$

وتمثيل معادلة S ومعادلة C بالبوابات موضح في شكل (4 -2 (أ)). والمخطط الصندوقي لدائرة الجامع الكامل موضح في شكل (4 -2 (ب)) حيث يرمز الحرفان FA إلى اختصار كلمتي (Full Adder) أي الجامع الكامل.



الشكل (4 -2) الدائرة المنطقية للجامع الكامل.

ومن الدائرة في شكل (4 -2 (أ)) يتضح لنا أن الجامع الكامل يتكون من دائرتين للجامع النصفي مع بوابة OR والمخطط الصندوقي للجامع الكامل باستخدام عدد 2 جامع نصفي وبوابة OR موضح في الشكل (4 -3).



الشكل (4 -3) المخطط الصندوقي للجامع الكامل.

رابعا : الاختبار البعدي Post test

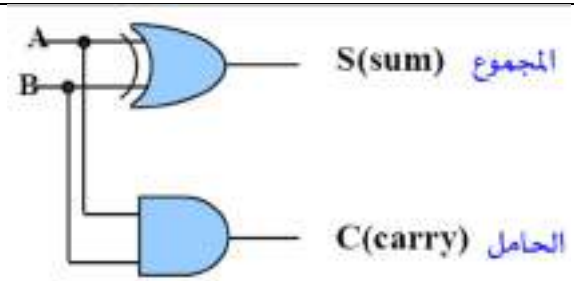
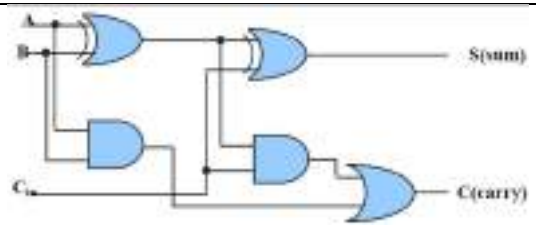
1- ان البوابة التي تمثل الباقي في دائرة الجامع التام هي :
أ- بوابة XOR .
ب- بوابة AND .
ت- بوابة OR .
ث- بوابة NOR .

2- ان البوابة التي تمثل المجموع في دائرة نصف الجامع هي بوابة :
أ- AND .
ب- NAND.
ت- XNOR .
ث- XOR .

3- ان البوابة التي تمثل الباقي في دائرة نصف الجامع هي :
أ- بوابة XOR .
ب- بوابة AND .
ت- بوابة OR .
ث- بوابة NOR .

4- صمم دائرة الجامع التام .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

ثالثا : مفاتيح الاجابة على الاختبارات					
الاختبار القبلي Pre test		الاختبار الذاتي Self test		الاختبار البعدي Post test	
رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة
1	ت	1	ت	1	ت
2	أ	2	ب	2	ث
3	ث	3	ت	3	ب
4	ت	4		4	
5					
6					
7					
8					
9					
10					

المصادر (References) :

1- الالكترونيك الرقمي المتقدم ترجمة ((ضياء مهدي فارس وآخرون)).1991.
2- Digital Principles &Application
3- Digital computer fundamentals (thematic bartee))
4- Introduction to Digital computer((louis mashelsky))
5- Modern Digital electronics (R.P.Jain
6- الالكترونيك الرقمي وتطبيقاته ((تأليف: مالفينو)).

(المحاضرة السابعة عشر) : الدوائر الحسابية (Arithmetic Circuits)

أولا : النظرة الشاملة (Overview)

أ- الفئة المستهدفة Target Population

طلبة المرحلة: الاولى في المعهد التقني/ النجف - قسم انظمة الحاسوب

ب- مبررات المحاضرة وموضوعاتها Rationale

من الدوائر المهمة الموجودة في وحدة الحساب والمنطق (ALU) التابعة لوحدة المعالجة المركزية (CPU) في الحاسبات الالكترونية هي الدوائر الحسابية والتي تقوم بالعمليات الحسابية كالجمع والطرح وغيرها .
وقد صممت هذه المحاضرة لكي يتعلم الطالب كيفية تصميم دائرة نصف الطارح - دائرة الطارح التام .

ج- الأفكار المركزية Central Ideas

اولا : تصميم دائرة نصف الطارح.
ثانيا : تصميم دائرة الطارح التام .

د- أهداف المحاضرة Objectives

سيكون الطالب بعد دراسته لهذه المحاضرة قادرا على أن :

- يصمم دائرة نصف الطارح .
- يصمم دائرة الطارح التام .

ثانيا- الاختبار القبلي Pre test

ضع دائرة حول الحرف الذي يسبق الاجابة الصحيحة لكل مما يأتي:

1- ان عدد مداخل دائرة نصف الطارح هو .....، وعدد مخارجها هو.....

أ- (3,2) .

ب- (2,3) .

ت- (2,2) .

ث- (1,2).

2- تستخدم دائرة نصف الطارح لطرح :

أ- رقمين .

ب- عددين .

ت - رقم وعدد .

ث - موجتين جيبيتين .

3- تتكون دائرة نصف الطارح من :

أ- بوابة NOR و بوابة AND وبوابة NOT.

ب- بوابة XOR و بوابة OR وبوابة NOT.

ت - بوابة AND و بوابة NAND وبوابة NOT.

ث - بوابة XOR و بوابة AND وبوابة NOT.

4- تتكون دائرة الطارح التام من:

أ- بوابة NOT و دائرة نصف طارح.

ب- بوابة OR و بوابتي AND .

ت - دائرتي نصف الطارح و بوابة OR ذات مدخلين .

ث - دائرتي نصف الطارح و بوابة AND ذات مدخلين .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة، فاذا حصلت على نسبة اجابة اكثر من 75٪ فأنت لست بحاجة لهذه المحاضرة ، اما اذا حصلت على اقل من ذلك فانتقل الى الخطوة التالية: (نص المحاضرة)

4 -2 -3 دائرة الطارح النصفي Half Subtractor Circuit

إن طرح عددين ثنائيين يمكن أن يتم عن طريق أخذ المتمم للمطروح ثم نجمع الناتج على المطروح منه. بهذه الطريقة عملية الطرح أصبحت عملية جمع وتتطلب جامعاً كاملاً أو عدداً منه لتمثيل الدائرة. ومن الممكن تمثيل الطرح باستخدام الدوائر المنطقية بطريقة مباشرة، كما نجريها بالورقة والقلم. وبهذه الطريقة، كل خانة (bit) من المطروح تطرح من الخانة المقابلة لها من المطروح منه للحصول على خانة (bit) حاصل الطرح أو الفرق (difference). إذا كانت خانة المطروح منه أصغر من خانة المطروح، فهناك واحد (1) سوف يستعار (Borrowed) من الخانة التي تليه. وكما أن هناك جامع نصفي وجامع كامل ، فيوجد لدينا أيضاً طارح نصفي وطارح كامل.

الطارح النصفي هو دائرة توافقية تطرح خانتين ثنائيتين (2-bits) وتعطي لنا خرجاً يمثل الفرق بينهما ولها أيضاً خرج آخر يساوي (1) في حالة الاستعارة أو الاستلاف. وسنرمز للمطروح منه بالرمز A والمطروح بالرمز B.

لتنفيذ (A – B) يجب أن نختبر مقدار كل من A, B. لو كان $A \geq B$ ، نحصل على ثلاثة احتمالات وهي : $0 - 0 = 0,\ 1 - 0 = 1,\ 1 - 1 = 0$ وتسمى النتيجة خانة الفرق (Difference bit). إذا كان $A < B$ يكون لدينا $0 - 1$، ومن الضروري استعارة واحد (1) من المرحلة التالية. والواحد المستعار يضيف 2 على المطروح منه، كما في النظام العشري، حيث الاستعارة تضيف عشرة (10) على خانة المطروح منه، وبما أنه أصبح المطروح منه يساوي (2)، فإن الفرق يصبح $2 - 1 = 1$.

والطارح النصفي يحتاج إلى خرجين، أحدهما يمثل الفرق ويرمز له بالرمز (D) والخرج الثاني يمثل الاستعارة أو الاستلاف ويرمز له بالرمز (B_0).

جدول الحقيقة والذي يوضح العلاقة بين المدخلات والخرج للطارح النصفي موضح في جدول (4 -3). والتعبير البوليني للخرج (D)، الخرج (B_0) للطارح النصفي يمكن استنتاجه مباشرة من جدول الحقيقة:

$$D = \overline{A}B + A\overline{B}$$

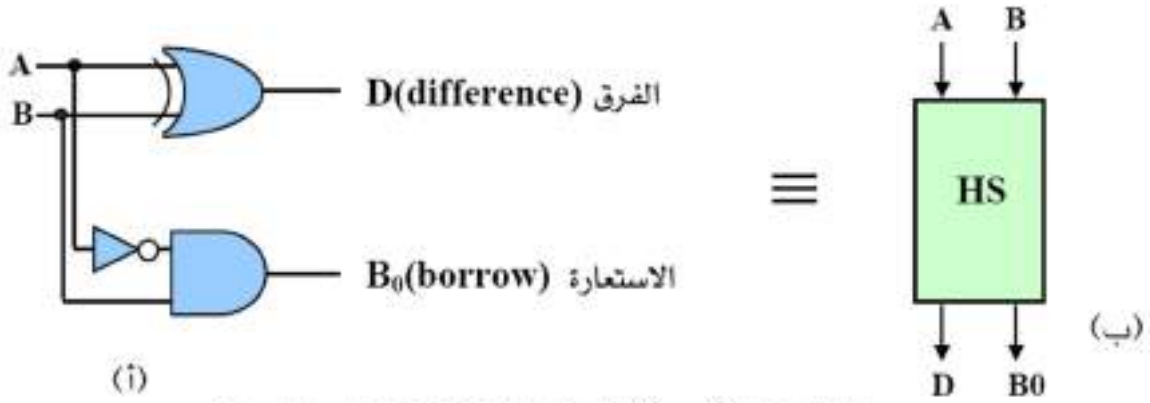
$$B_0 = \overline{A}B$$

نلاحظ من معادلة الخرج (D) أنه يماثل تماماً الخرج (S) في الجامع النصفي وبذلك يمكن تمثيله عن طريق بوابة XOR، بينما الخرج (B_0) يختلف عن الخرج (C) في الجامع النصفي بأن المتغير A معكوس ويمكن تمثيل الخرج (B_0) أيضاً عن طريق بوابة AND لها الدخلان $\overline{A}$ و B.

المدخلات		الخرج	
A	B	D	B_0
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

الجدول (4 -3) القواعد الأربعة للطرح الثنائي.

الشكل (4 -4(أ)) يوضح كيفية تمثيل الطارح النصفي، بينما الشكل (4 -4(ب)) يمثل المخطط الصندوقي له ، حيث يرمز الحرفان HS إلى اختصار كلمتي (Half Subtractor).



الشكل (4 -4) الدائرة المنطقية للطارح النصفي.

4 -2- 4 دائرة الطارح الكامل The Full-Subtractor Circuit

الطارح الكامل هو دائرة توافقية تؤدي عملية الطرح بين خانتين ثنائيتين (2-bits) مأخوذاً في الاعتبار أن (1) ربما يستعار من الرقم الذي يليه. هذه الدائرة لها ثلاثة مدخلات ومخرجان. المدخلات الثلاثة هي A, B, B_{in} وترمز إلى المطروح منه (A) والمطروح (B) والاستلاف السابق (B_{in}) على الترتيب. الخرجان D, B_0 يرمزان إلى الفرق والمستعار. جدول الحقيقة لهذه الدائرة موضح في الجدول (4 -4).

حيث إن الصفوف الثمانية تحت المدخلات تمثل التشكيلات المحتملة من 0's,1's التي يمكن أن يأخذها المتغير الثنائي. أما 0's,1's للمتغيرات في الخرج فإنه يمكن تحديدها من العلاقة $A - B - B_{in}$. التشكيلات التي لها $B_{in} = 0$ كأنها تمثل الاحتمالات الأربعة في جدول الحقيقة للجامع النصفي. عندما يكون $A = 0, B = 0, B_{in} = 1$ يجب أن نستعير (1) من المرحلة المقبلة والذي يجعل $B_0 = 1$ ونضيف (2) على A، وبالتالي نقول $1 - 1 - 0 - 2$، ويكون $D = 1$.

ثالثا : الاختبار الذاتي Self test

1- ان عدد مداخل دائرة الطارح التام هو .....، وعدد مخارجها هو.....

يمكن الحصول على دائرة الطارح التام عن طريق ربط :

أ- دائرتي نصف الطارح وبوابة **AND** .

ب- دائرتي نصف الطارح وبوابة **OR** .

ت- دائرتي نصف الطارح وبوابتي **NOR**.

ث- دائرتي نصف الطارح وبوابتي **AND** .

2- تستخدم دائرة الطارح التام لطرح :

أ- عددين .

ب- رقم وعدد .

ت- ثلاثة ارقام .

ث- رقمين .

3- صمم دائرة نصف الطارح .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

المدخلات			الخرج	
A	B	B_{in}	D	B_0
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

الجدول (4 -4) قواعد الطرح في حالة الطارح الكلمل.

وعندما يكون $A=0, B=1, B_{in}=1$ يجب أن نستعير (1) من المرحلة المقبلة والذي يجعل $B_0=1$ و $A=2$، وبالتالي نقول $0-1-1=2$، ويكون $D=0$.

وعندما يكون $A=1, B=0, B_{in}=1$، فإن $A-B-B_{in}=0$ وهذا يجعل $B_0=0$ ، $D=0$.

وأخيرا عندما يكون $A=1, B=1, B_{in}=1$ يجب أن نستعير (1) من المرحلة المقبلة والذي يجعل $B_0=1$ ، A=3، ويكون $1-1-1=3$، ويكون $D=1$.

ويمكن كتابة الدالة المنطقية للطارح الكامل من جدول الحقيقة كما يلي:

$$D=\overline{A}\overline{B}B_{in}+\overline{A}B\overline{B}_{in}+A\overline{B}\overline{B}_{in}+ABB_{in}$$

وهي تماثل تماماً معادلة (S) في الجامع الكامل، وبالتالي يمكن وضعها في الصورة النهائية لها على الشكل:

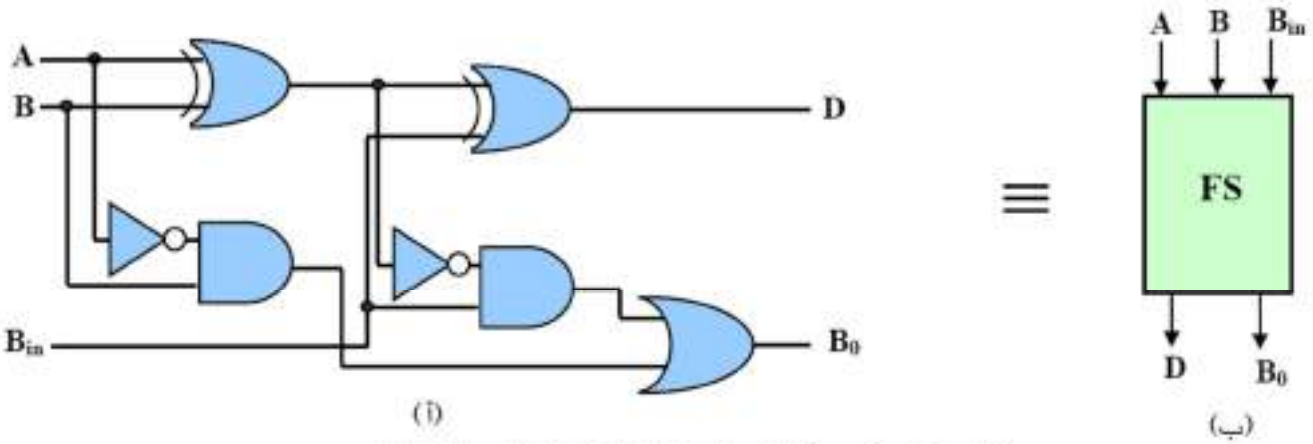
$$D=(A\oplus B)\oplus B_{in}=A\oplus B\oplus B_{in}$$

وبالنسبة للخرج الثاني (B_0)، فتكون شكل الدالة له كالآتي:

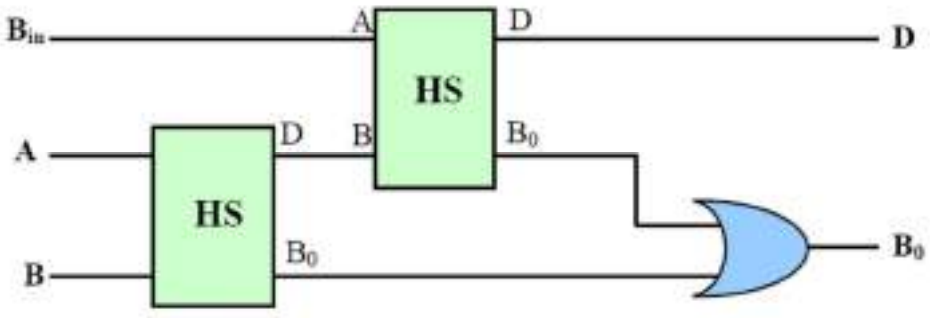
$$\begin{aligned}B_0&=\overline{A}\overline{B}B_{in}+\overline{A}B\overline{B}_{in}+\overline{A}BB_{in}+ABB_{in}\\&=B_{in}(\overline{A}\overline{B}+AB)+\overline{A}B(\overline{B}_{in}+B_{in})\\B_0&=B_{in}(\overline{A\oplus B})+\overline{A}B \quad \Leftarrow \quad (\overline{B}_{in}+B_{in}=1)\end{aligned}$$

وتمثيل معادلتي الخرج (D) ،(B_0) موضح في شكل (4 -5(i))، والمخطط الصندوقي لدائرة الطارح الكامل موضح بشكل (4 -5(ب))، حيث يرمز الحرفان FS إلى اختصار كلمتي (Full Subtractor) أي الطارح الكامل.

وبالرجوع الى الدائرة في شكل (4 -5(i)) يتضح لنا أن الطارح الكامل يتكون من دائرتين للطارح النصفي مع بوابة OR ، والمخطط الصندوقي للطارح الكامل باستخدام عدد 2 طارح نصفي وبوابة OR موضح في الشكل (4 -6).



الشكل (4 -5) الدائرة المنطقية للطارح الكامل.



الشكل (4 -6) المخطط الصندوقي للطارح الكامل.

رابعا : الاختبار البعدي Post test

1- ان البوابة التي تمثل الاستعارة في دائرة الطارح التام هي :

أ- بوابة XOR .

ب- بوابة AND .

ت- بوابة OR .

ث- بوابة NOR .

2- ان البوابة التي تمثل ناتج الطرح في دائرة نصف الطارح هي بوابة :

أ- AND

ب- NAND.

ت- XNOR

ث- XOR .

3- ان البوابة التي تمثل الاستعارة في دائرة نصف الطارح هي :

أ- بوابة XOR .

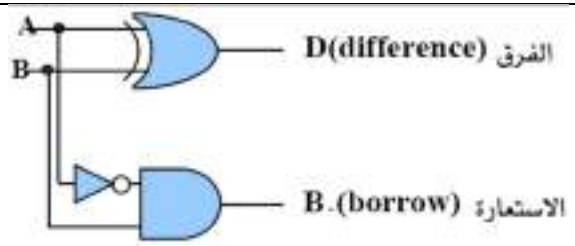
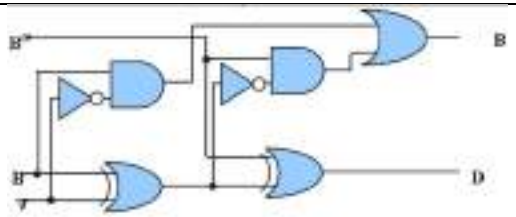
ب- بوابة AND .

ت- بوابة OR .

ث- بوابة NOR .

4- صمم دائرة الطارح التام .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

ثالثا : مفاتيح الاجابة على الاختبارات					
الاختبار القبلي Pre test		الاختبار الذاتي Self test		الاختبار البعدي Post test	
رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة
1	ت	1	2,3	1	ت
2	أ	2	ب	2	ث
3	ث	3	ت	3	ب
4	ت	4		4	
5					
6					
7					
8					
9					
10					

المصادر (References) :

1- الالكترونيك الرقمي المتقدم ترجمة ((ضياء مهدي فارس وآخرون)).1991.
2- Digital Principles &Application
3- Digital computer fundamentals (thematic bartee))
4- Introduction to Digital computer((louis mashelsky))
5- Modern Digital electronics (R.P.Jain
6- الالكترونيك الرقمي وتطبيقاته ((تأليف: مالفينو)).

(المحاضرة الثامنة عشر) : الدوائر الحسابية (Arithmetic Circuits)

أولا : النظرة الشاملة (Overview)

أ- الفئة المستهدفة Target Population

طلبة المرحلة: الاولى في المعهد التقني/ النجف – قسم انظمة الحاسوب

ب- مبررات المحاضرة وموضوعاتها Rationale

من الدوائر المهمة الموجودة في وحدة الحساب والمنطق (ALU) التابعة لوحدة المعالجة المركزية (CPU) في الحاسبات الالكترونية هي الدوائر الحسابية والتي تقوم بالعمليات الحسابية كالجمع والطرح وغيرها .

وقد صممت هذه المحاضرة لكي يتعلم الطالب كيفية تصميم دائرة الإضافة الثنائية المتوازية – استخدام دائرة الإضافة الثنائية المتوازية لطرح عددين ثنائيين/ طريقة المتمم لـ(1) .

ج- الأفكار المركزية Central Ideas

اولا : تصميم دائرة الإضافة الثنائية المتوازية .

ثانيا : كيفية استخدام دائرة الإضافة الثنائية المتوازية لطرح عددين ثنائيين / طريقة المتمم لـ(1) .

د- أهداف المحاضرة Objectives

سيكون الطالب بعد دراسته لهذه المحاضرة قادرا على أن :

- يصمم دائرة الإضافة الثنائية المتوازية .
- يستخدم دائرة الإضافة الثنائية المتوازية لطرح عددين ثنائيين/ طريقة المتمم لـ(1) .

ثانيا- الاختبار القبلي Pre test

9- تستخدم دائرة الإضافة الثنائية المتوازية لجمع الاعداد .....

ج- العشرية .

ح- الثمانية .

خ- الثنائية .

د- السداسية عشر.

10- تتكون دائرة الإضافة الثنائية المتوازية من ..... مع عدد من دوائر الجامع التام .

ج- دائرتي نصف جامع .

ح- دائرة نصف جامع واحدة .

خ- ثلاث دوائر نصف جامع.

د- اربع دوائر نصف جامع .

11- ..... عدد دوائر الجامع التام بزيادة قيمة الاعداد الثنائية المطلوب جمعها .

ج- تقل .

ح- تزداد .

خ- تختصر .

د- تتساوى .

12- لجمع عددين كل منهما يتكون من خمسة مراتب ثنائية نحتاج الى دائرة نصف جامع واحدة مع ..... جامع تام .

ج- دائرتي جامع تام .

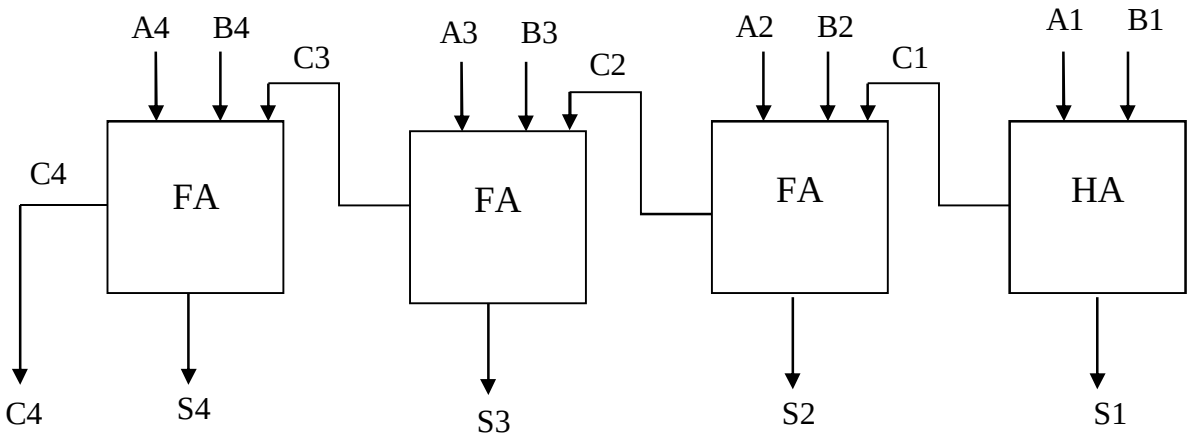
ح- ثلاث دوائر جامع تام .

خ- اربع دوائر جامع تام .

د- خمسة دوائر جامع تام .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة، فاذا حصلت على نسبة اجابة اكثر من 75٪ فأنت لست بحاجة لهذه المحاضرة ، اما اذا حصلت على اقل من ذلك فانتقل الى الخطوة التالية: (نص المحاضرة)

دائرة الاضافة الثنائية المتوازية :



ثالثا : الاختبار الذاتي Self test

اكمل الفراغات التالية بما يناسبها :

5- ان اول مرحلة في دائرة الإضافة الثنائية المتوازية هي ..... .
ج- دائرة الجامع التام .
ح- دائرة نصف الطارح .
خ- دائرة نصف الجامع .
د- دائرة الطارح التام .

6- ان اول مرحلة في دائرة الطارح الثنائية المتوازية هي .....:
ذ- دائرة الجامع التام .
ر- دائرة نصف الطارح .
ز- دائرة نصف الجامع .
س- دائرة الطارح التام .

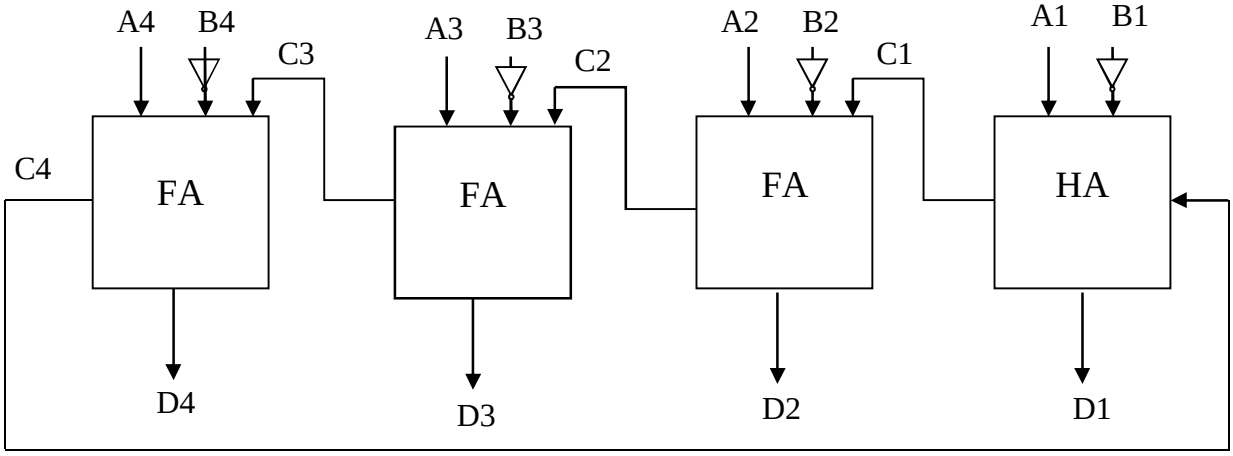
7- في دائرة الطارح الثنائية المتوازية يتم وضع بوابات NOT في المرتبة ..... للمطروح :
ج- الاولى .
ح- الثانية .
خ- الثالثة .
د- كافة المراتب .

8- ..... على مداخل المطروح منه .

ج- توضع بوابات NOT .
ح- توضع بوابات AND .
خ- توضع بوابات OR .
د- لاتوضع أي بوابة .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

دائرة الطارح الثنائية المتوازية :



رابعا : الاختبار البعدي Post test

5- الباقي الخارج من المرتبة الاخيرة في دائرة الطارح الثنائية المتوازية ..... .
أ- يجمع مع المرتبة الاولى .
ب- يجمع مع المرتبة الثانية .
ت- ينزل مع الناتج كمرتبة عليا .
ث- يهمل .

6- اوجد ناتج الطرح للعددين الثنائيين التاليين باستخدام دائرة الإضافة الثنائية المتوازية وبوابات النفي :

1101
− 1011

7- اوجد ناتج الطرح للعددين الثنائيين التاليين باستخدام دائرة الإضافة الثنائية المتوازية وبوابات النفي :

1101
− 1010

8- لجمع عددين ثنائيين كل منهما يتكون من 6- ارقام نحتاج الى:
ج- دائرة نصف جامع واحدة مع دائرة جامع تام واحدة .
ح- دائرة نصف جامع واحدة مع 5- دوائر جامع تام .
خ- دائرة نصف جامع واحدة مع 6- دوائر جامع تام.
د- دائرة نصف جامع واحدة مع 4- دوائر جامع تام .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

ثالثا : مفاتيح الاجابة على الاختبارات					
الاختبار القبلي Pre test		الاختبار الذاتي Self test		الاختبار البعدي Post test	
رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة
1	ت	1	ت	1	أ
2	ب	2	أ	2	$(0010)_2$
3	ب	3	ث	3	$(11000)_2$
4	ت	4	ث	4	ب
5		5		5	
6		6		6	
7		7		7	
8		8		8	
9		9		9	
10		10		10	

المصادر (References) :

1- الالكترونيك الرقمي المتقدم ترجمة ((ضياء مهدي فارس وآخرون)).1991.
2- Digital Principles &Application
3- Digital computer fundamentals (thematic bartee))
4- Introduction to Digital computer((louis mashelsky))
5- Modern Digital electronics (R.P.Jain
6- الالكترونيك الرقمي وتطبيقاته ((تأليف: مالفينو)).

(المحاضرة التاسعة عشر) : المرجيح (الهزازات) (Flip-Flops)

أولا : النظرة الشاملة (Overview)

أ - الفئة المستهدفة Target Population

طلبة المرحلة: الاولى في المعهد التقني/ النجف - قسم انظمة الحاسوب

ب - مبررات المحاضرة وموضوعاتها Rationale

بالنظر للاستخدام الواسع للهزازات كوحدات بناء اساسية لدوائر العدادات وسجلات الازاحة والتخزين و دوائر التحكم والسيطرة بالاضافة الى تطبيقات عديدة اخرى مثل كواشف الترميز، المقارنة ، دوائر تقسيم التردد وغيرها .

فقد صممت هذه المحاضرة لكي يتعلم الطالب تركيب دوائر المراجيح المختلفة واستنتاج جداول واقعيتها .

ج- الأفكار المركزية Central Ideas

اولا: دراسة تركيب دائرة مرجاح RS واستنتاج جدول واقعيته .

ثانيا: دراسة تركيب دائرة مرجاح T واستنتاج جدول واقعيته.

ثالثا: دراسة تركيب دائرة مرجاح JK واستنتاج جدول واقعيته .

رابعا: دراسة تركيب دائرة مرجاح D واستنتاج جدول واقعيته.

خامسا: إضافة تحكم النبضات الى المراجيح السابقة الذكر.

د- أهداف المحاضرة Objectives

سيكون الطالب بعد دراسته لهذه المحاضرة قادرا على أن :

- **يرسم دائرة مرجاح RS ويكتب جدول واقعيته .**
- **يرسم دائرة مرجاح T ويكتب جدول واقعيته.**
- **يرسم دائرة مرجاح JK ويكتب جدول واقعيته .**
- **يرسم دائرة مرجاح D ويكتب جدول واقعيته.**
- **يرسم نبضات التحكم الداخلة والخارجة للمراجيح السابقة الذكر.**

ثانيا- الاختبار القبلي Pre test

اكمل الفراغات التالية بما يناسبها :

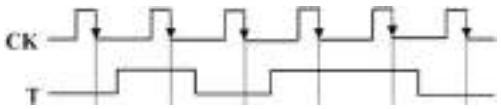
1- ان الميزة الرئيسية التي تشترك فيها الدوائر التعاقبية والتي تميزها عن الدوائر التركيبية هي ..... .

2- لهزاز SR ثلاث حالات مسموحة عند الادخال هي .....و حالة واحدة غير مسموحة عند الادخال هي .....

3- لهزاز JK اربع حالات مسموحة عند الادخال هي .....

4- ان العلاقة بين اخراجي الهزازات المختلفة هي ..... .

5- ارسم شكل موجة الاخراج (Q) لدائرة هزاز(T) اذا كانت الموجة الداخلة هي كما يلي (افرض ان الحالة السابقة لاخراج الهزاز كانت (Q=0) قبل وصول اول نبضة) :



تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة، فاذا حصلت على نسبة اجابة اكثر من 75٪ فأنت لست بحاجة لهذه المحاضرة ، اما اذا حصلت على اقل من ذلك فانتقل الى الخطوة التالية: (نص المحاضرة)

5 -1 مقدمة Introduction

تصنف الدوائر المنطقية إلى نوعين رئيسين، النوع الأول ويسمى بالدوائر المنطقية التوافقية (Combinational Logic Circuits) وفيها يعتمد خرج الدائرة في أية لحظة زمنية على المدخلات الموجودة في تلك اللحظة، وقد سبق دراسة هذا النوع من الدوائر في الوحدة الرابعة، أما النوع الآخر فيسمى بالدوائر المنطقية المتعاقبة (Sequential Logic Circuits) ويتميز هذا النوع من الدوائر بوجود ذاكرة (Memory) حيث يعتمد خرج الدائرة في لحظة ما على الدخل المطبق والخرج السابق للدائرة.

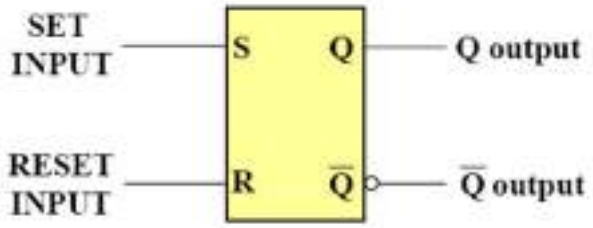
في الدوائر المنطقية التوافقية تكون وحدة البناء الأساسية هي البوابات المنطقية، بينما في الدوائر المنطقية المتعاقبة تكون وحدة البناء هي دائرة القلاب (Flip-Flop Circuit)، والقلاب عبارة عن دائرة رقمية منطقية عملها الأساسي هو تخزين المعلومات بسعة خانة رقمية واحدة إما صفر (0) أو واحد (1) منطقي. ويوجد القلاب في إحدى حالتين مستقرتين إحداهما تمثل الرقم الثنائي (1) أو المنطق (1)، والثانية تمثل الرقم الثنائي (0) أو المنطق (0). وإذا وضع القلاب في إحدى حالتي الاستقرار فإنه يظل فيها طالما تم تزويده بمصدر القدرة اللازمة أو حتى يتم تغيير هذه الحالة وذلك بتطبيق مستويات دخل منطقية مناسبة في الدخل وكما سيتضح ذلك من خلال دراستنا للأنواع المختلفة للقلابات والتي يطلق عليها أيضاً اسم متعددة الاهتزازات ثنائية الاستقرار (Bistable Multivibrator). ويمكن بناء القلابات من بوابات NAND أو بوابات NOR أو شراؤها على شكل دوائر متكاملة رقمية (Digital Integrated Circuits). وأخيراً يمكن ربط القلابات لتكوين دوائر منطقية مثل العدادات (Counters)، ومسجلات الإزاحة (Shift Registers) وغيرها حيث سنقوم بدراسة هذه الدوائر في الوحدة السادسة.

5 -2 المساكات Latches

دائرة المساك هي نوع من عناصر التخزين ثنائية الاستقرار والتي عادة ما توضع في تصنيف منفصل عن دوائر القلابات. والمساكات من حيث طبيعة العمل تشبه دوائر القلابات لأنها عنصر ثنائي الاستقرار يمكن وضعه في إحدى حالتي الاستقرار بواسطة نظام التغذية الخلفية والذي فيه يوصل الخرج خلفياً إلى الدخل المعاكس. والفرق الرئيس بين المساكات والقلابات هو في الطريقة المستخدمة لتغيير حالتي الاستقرار فقط.

والمساك (Latch) هو نوع من المهتز متعدد التوافقيات ثنائي الاستقرار (Bistable Multivibrator). يوضح شكل (5 -1) الرمز المنطقي لدائرة المساك من النوع S-R ومنه يتضح وجود مدخلين يرمز لأحدهما بالرمز (S) ويعرف بالمدخل الفعال أو مدخل الوضع في الحالة "1" (Set Input) ويرمز للآخر

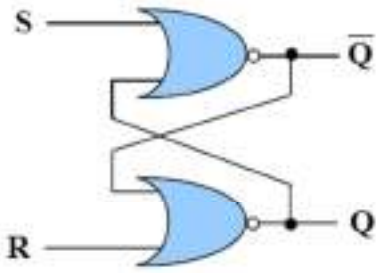
بالرمز **(R)** ويعرف بالمدخل غير الفعال أو مدخل الوضع في الحالة "0" (Reset Input) كما يوجد لها مخرجان يرمز لأحدهما بالرمز Q ويعرف بالمخرج الطبيعي ويرمز للآخر بالرمز $\overline{Q}$ ويعرف بالمخرج المتمم.



الشكل (5 -1) الرمز المنطقي لدائرة المساك من النوع S-R.

ويقال إن دائرة المساك في حالة فعالة أو نشطة (Set Condition) عندما يكون $Q=1,\ \overline{Q}=0$ ويقال إنها في حالة غير فعالة أو خاملة (Reset Condition) عندما يكون $\overline{Q}=1,\ Q=0$. ومن التعريف الأساسي للمساك نجد أنه عندما نؤثر على المدخل S بالمستوى المنطقي (1) يكون المستوى المنطقي للخرج $Q=1$ (الحالة الفعالة) بغض النظر عن حالة Q السابقة، وفي نفس الوقت يكون المستوى المنطقي للخرج $\overline{Q}=0$. وإذا أثرنا على الدخل R بالمستوى المنطقي (1) يكون المستوى المنطقي للخرج $Q=0$ (الحالة غير الفعالة) بينما يكون المستوى المنطقي للخرج $\overline{Q}=1$، أما إذا أثرنا على كل من S وR في نفس الوقت بالمستوى المنطقي (1) فإن مستوى الخرج المنطقي يصير غير محدد وغير معروف (unpredictable)، ويجب محاولة تفادي ذلك حتى نتجنب الإخلال بدائرة المساك.

ويمكن بناء دائرة المساك S-R من بوابتي NOR باستخدام خاصية التغذية الخلفية المرتدة من مخرج إحدى البوابتين إلى مدخل البوابة الأخرى كما هو موضح في شكل (5 -2).



الشكل(5 -2) دائرة المساك S-R ذات المدخلات الفعالة العالية.

ونظراً لأن المستوى المنطقي الفعال لبوابة NOR هو (1) (أي مستوى الدخل الذي يحدث عنده تغيير في حالة الخرج)، لذا فإن جدول الحقيقة لدائرة المساك في هذه الحالة يأخذ الصورة الموضحة في

جدول (5 -1)، وتسمى الدائرة في هذه الحالة بدائرة المساك ذات المدخلات الفعالة العالية (Active High Inputs).

المدخلات		الخرج	وضع التشغيل (Mode of Operation)
S	R	Q	
0	0	Q_0	وضع الإمساك (عدم التغير) No Change
0	1	0	الوضع غير الفعال Latch RESETS
1	0	1	الوضع الفعال Latch SETS
1	1	?	وضع الخطر أو الوضع غير المسموح به Invalid condition

الجدول (5 -1) جدول الحقيقة لدائرة المساك S-R ذات المدخلات العالية.

بالنظر إلى جدول الحقيقة الموضح يمكننا ملاحظة الآتي:

1- عند وجود المستوى المنطقي (0) على المدخلين S وR في نفس الوقت لا تتغير حالة المساك أي تظل قيمة الخرج (Q) كما هي (الصف الأول في جدول الحقيقة) ويعرف هذا الوضع بوضع الإمساك أو عدم التغيير.

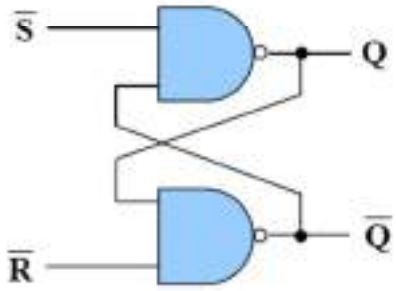
2- عندما يتغير المستوى المنطقي على الدخل R من (0) إلى (1) يتغير المستوى المنطقي للخرج Q إلى (0) أي أن Q = 0 (الحالة غير الفعالة) كما في الصف الثاني في الجدول ، أما إذا كان الخرج Q = 0 أصلاً فيظل كما هو بدون تغيير.

3- عندما يتغير المستوى المنطقي على الدخل S من (0) إلى (1) تتغير قيمة المستوى المنطقي على الخرج Q من (0) إلى (1) أي أن Q = 1 (الحالة الفعالة) كما في الصف الثالث في الجدول، أما إذا كان الخرج Q = 1 أصلاً فيظل كما هو بدون تغير.

4- غير مسموح بوجود المستوى المنطقي (1) على المدخلين S وR في نفس الوقت نظراً لأنه يمثل الحالة الفعالة للبوابة NOR ، ومن ثم تصير المخارج في هذه الحالة غير معرفة كما في الصف الأخير من الجدول.

5- حالة المخارج تتغير فقط عندما تتغير المداخل وتحتفظ المخارج بحالتها بدون أي تغير إذا ظلت المداخل بدون تغير، أي أن دائرة المساك تمسك على حالة معينة إذا لم تتغير المداخل، ومن ثم قيل إن لها خاصية الاحتفاظ بالبيانات بصفة مؤقتة.

ويمكن بناء دائرة المساك من بوابتي NAND كما في شكل (5 -3) ونظراً لأن المستوى الفعال بوابة NAND هو (0) لذا فإن جدول الحقيقة في هذه الحالة يأخذ الصورة الموضحة في جدول (5 -2) تسمى الدائرة في هذه الحالة بدائرة المساك ذات المدخلات الفعالة المنخفضة (Active Low Inputs).



الشكل (5 -3) دائرة المساك S-R ذات المدخلات الفعالة المنخفضة.

المدخلات		الخرج	وضع التشغيل (Mode of Operation)
$\overline{S}$	$\overline{R}$	Q	
0	0	?	وضع الخطر أو الوضع غير المسموح به Invalid condition
0	1	1	الوضع الفعال Latch SETS
1	0	0	الوضع غير الفعال Latch RESETS
1	1	Q_0	وضع الإمساك (عدم التغير) No Change

الجدول (5 -2) جدول الحقيقة لدائرة المساك S-R ذات المدخلات المنخفضة.

وبالنظر إلى جدول الحقيقة الموضح يمكننا ملاحظة الآتي:

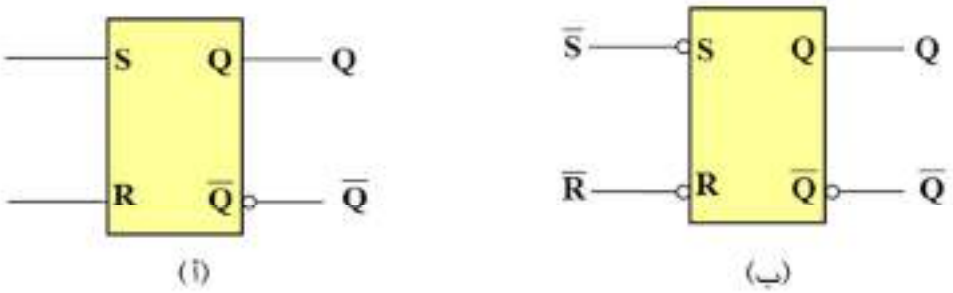
1- وجود المستوى المنطقي (1) على المدخلين في نفس الوقت لا يغير حالة دائرة المساك ويظل الخرج Q كما هو (الصف الأخير).

2- عندما يكون المستوى المنطقي على المدخل $\overline{S} = 0$ ، المدخل $\overline{R} = 1$ يتغير المستوى المنطقي للخرج إلى (1) كما في الصف الثاني من الجدول ، أما إذا كان الخرج $Q = 1$ أصلاً فيظل كما هو بدون أي تغيير.

3- عندما يكون المستوى المنطقي على المدخل $\overline{S} = 1$ ، المدخل $\overline{R} = 0$ يتغير المستوى المنطقي للخرج إلى (0)، انظر الصف الثالث من الجدول، أما إذا كان الخرج $Q = 0$ أصلاً فيظل كما هو بدون تغيير.

4- غير مسموح بوجود المستوى (0) على المدخلين في نفس الوقت نظراً لأنه يمثل المستوى الفعال لبوابة NAND ومن ثم فإن حالة المخارج تكون غير معروفة.

الشكل (5 -4) يوضح الرمز المنطقي (Logic Symbol) لدائرة المساك ذات المدخلات الفعالة العالية ودائرة المساك ذات المدخلات الفعالة المنخفضة.

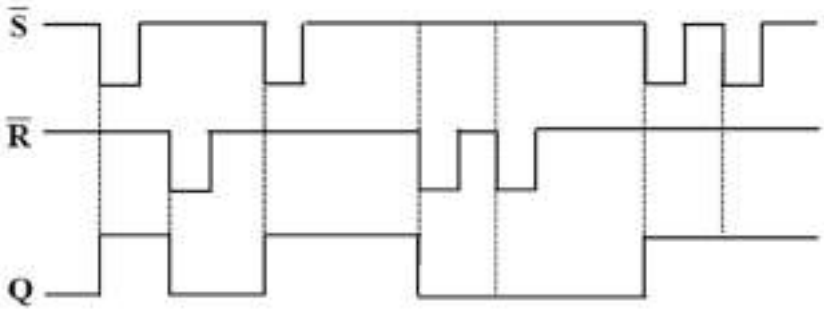


الشكل (5 -4) الرمز المنطقي لدائرة المساك ذات المدخلات الفعالة العالية والمنخفضة.

المثال التالي يوضح كيفية عمل دائرة المساك ذات المدخلات الفعالة المنخفضة وذلك عن طريق وضع نبضات على كل من $\overline{S}, \overline{R}$ وملاحظة شكل الخرج (Q). وسوف نتجنب وضع $\overline{S} = 0, \overline{R} = 0$ ، حيث إن حالة الخرج لا تكون معروفة في هذه الحالة.

مثال 5 -1: إذا كان شكل نبضات الدخل لكل من $\overline{S}, \overline{R}$ في شكل (5 -5). ارسم شكل نبضات الخرج (Q) بفرض أن الحالة التي عليها الخرج Q قبل تطبيق أول نبضة لكلا الدخلين هي $Q = 0$.

الحل:



الشكل (5 -5) المخطط الزمني لدائرة المساك.

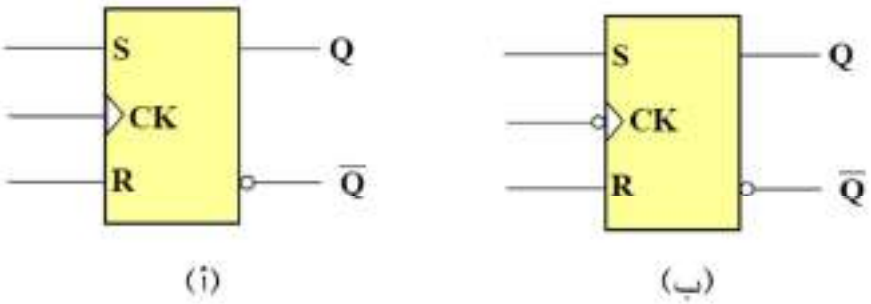
5 -3 القلاب S-R المتزامن Clocked S-R Flip–Flop

يعرف المساك S-R أو $\overline{S}-\overline{R}$ الأساسي السابق دارسته بالمساك غير المتزامن نظراً لتغير وضع الخرج الطبيعي (Q) مباشرة مع تغيير المدخلات فور التأثير بالمستوى المنطقي الفعال كما يحدث في الدوائر المنطقية التوافقية، ولذلك فإن الدوائر المنطقية التوافقية ودوائر المساك تعمل بشكل لا تزامني.

إن النظم الإلكترونية المنطقية تحتاج إلى دوائر مساك متزامن (قلاب متزامن) للتغلب على المشاكل التي قد تحدث عن تأخير انتقال المعلومات خلال النظام مما يعوق تسلسل المعلومات طبقاً للتوقيت الزمني المطلوب، ولذا فإن القلاب S-R المتزامن يعمل وفقاً لنبضات توقيت أي يعمل تزامنياً.

ويمكن القول بأن كلمة تزامن تعني أن الخرج سوف يتغير فقط عند نقطة محددة من نبضات التزامن أو ما يطلق عليها نبضات الساعة (Clock Pulses) وسوف تكتب اختصاراً (CK)، وبذلك يمكن القول أن التغير في المخرج يحدث متزامناً مع نبضة الساعة.

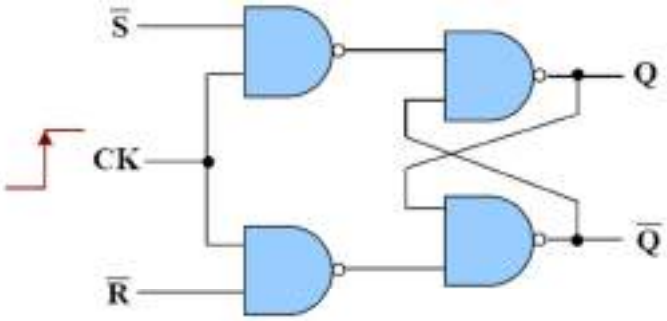
شكل (5 -6) يوضح الرمز المنطقي لقلاب S-R المتزامن وفيه نلاحظ وجود مدخل إضافي لنبضة التزامن أو نبضة الساعة (CK).



الشكل (5 -6) الرمز المنطقي للقلاب S-R المتزامن.

في الشكل (5 -6(أ)) نلاحظ عدم وجود حلقة دائرية صغيرة أمام مدخل نبضة الساعة وهذا يعني أن خرج القلاب S-R لن يتغير إلا مع وصول الحافة الموجبة لنبضة الساعة (Positive Edge Trigger) أي الحافة التي تتغير من (0) إلى (1)، بينما في الشكل (5 -6(ب)) نلاحظ وجود هذه الحلقة الدائرية الصغيرة وهذا يعني أن خرج القلاب سوف يتغير مع وصول الحافة السالبة لنبضة الساعة (Negative Edge Trigger) أي الحافة التي تتغير من (1) إلى (0).

شكل (5 -7) يبين دائرة القلاب S-R المتزامن باستخدام بوابات NAND، حيث أضيفت بوابتي NAND إلى المساك الأساسي وذلك لإضافة خاصية التزامن له. ويتم نقل البيانات الموجودة على مدخل البيانات S وR إلى المخرج (Q) عندما تكون نبضة التزامن عند الحافة الموجبة حيث تعمل كنبضة سماح لنقل البيانات من الدخل إلى الخرج.



الشكل (5 -7) دائرة القلاب S-R المتزامن.

جدول الحقيقة (5 -3) يبين بالتفصيل طريقة تشغيل القلاب S-R المتزامن على النحوالتالي:

1 - عندما تصل نبضة التزامن CK إلى المدخل، بينما المداخل S وR عند المستوى المنطقي (0) فإن الخرج لا يتغير أي يظل كما كان قبل مجيء نبضة التزامن ويعرف هذا الوضع بالإمساك.

2 - عندما يتم التأثير على المدخل R بالمستوى العالي (S = 0,R = 1) وتنتقل نبضة التزامن من (0) إلى (1) فإن الخرج يصبح مساوياً للصفر (0) ويقال أن القلاب في الحالة غير الفعالة (Reset).

3 - عند التأثير على المدخل S بالمستوى المنطقي العالي (S = 1 وR = 0) وتنتقل نبضة التزامن من (0) إلى (1) فإن الخرج Q = 1 ويقال إن القلاب في الحالة الفعالة (Set).

والوضع المحظور عندما يكون S = 1 وR = 1 لا يستخدم كما قلنا سابقاً لأن حالة المخرج في هذه الحالة تكون غير معروفة.

المدخلات			الخرج	وضع التشغيل
S	R	CK	Q	(Mode of Operation)
X	X	↓	Q_0	عدم التغير No Change
0	0	X	Q_0	وضع الإمساك (عدم التغير) No Change
0	1	↑	0	الوضع غير الثمال Latch RESETS
1	0	↑	1	الوضع الثمال Latch SETS
1	1	↑	?	وضع الخطر اوالوضع غير المسموح به Invalid condition

↑ - نبضة الساعة تتغير من (0) الى (1)

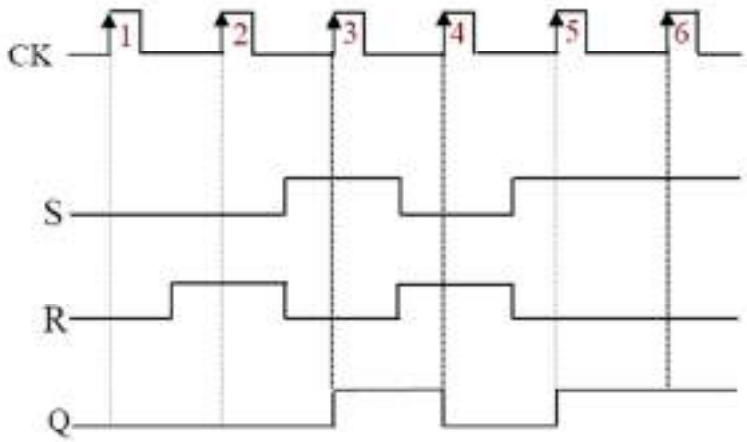
X - لا يهم

Q_0 - الخرج الموجود قبل وصول اول نبضة تزامن

الجدول (5 -3) جدول الحقيقة لدائرة القلاب S-R المتزامن.

ونظرية العمل وجدول الحقيقة للقلاب S-R الذي يعمل مع حافة النبضة السالبة [أي التي تتغير من (1) إلى (0)] تماثل تماماً القلاب السابق مع اختلاف واحد فقط أن التغير في الخرج سوف يحدث مع تغير نبضة التزامن من (1) إلى (0).

مثال 5 -2: ارسم شكل نبضات الخرج (Q) لدائرة القلاب S-R والموضحة في شكل (5 -6)، إذا كان شكل نبضات الدخل لكل من S وR وCK كماهو موضح في شكل (5 -7). افترض أن دائرة القلاب تعطي خرجاً Q = 0 قبل وصول أول نبضة من نبضات التزامن.



الشكل (5 -7) المخطط الزمني لدائرة القلاب S-R المتزامن.

الحل:

1- عند نبضة التزامن الأولى S = 0 وR = 0 ، وبالتالي الخرج (Q) لن يتغير أي أن Q = 0.

2- عند نبضة التزامن الثانية S = 0 وR = 1 ، وبالتالي يظل الخرج Q = 0 (Reset).

3- عند نبضة التزامن الثالثة S = 1 وR = 0 ، وبالتالي يتحول الخرج Q إلى (1) أي أن Q = 1 (Set).

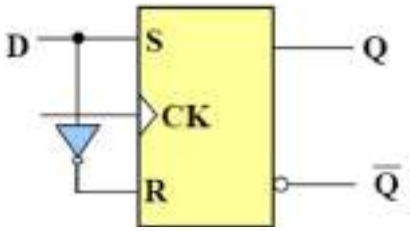
4- عند نبضة التزامن الرابعة S = 0 وR = 1 ، وبالتالي يكون الخرج Q = 0 (Reset).

5- عند نبضة التزامن الخامسة S = 1 وR = 0 ، وبالتالي يكون الخرج Q=1(Set).

6- عند نبضة التزامن السادسة S = 1 و R = 0 ، وبالتالي يظل الخرج يساوي (1) أي أن Q = 1.

5 -4 دائرة القلاب من النوع D D-Type Flip-Flop

الدائرة القلابة من النوع D يمكن استخدامها كوحدة تخزين لخانة واحدة (Single Bit) من المعلومات (0 أو 1). بإضافة بوابة عاكس إلى دائرة القلاب S-R المتزامن السابق شرحه تتحول الدائرة إلى دائرة قلاب من النوع D كما هو موضح في شكل (5 -8).



الشكل (5 -8) دائرة القلاب من النوع D.

نلاحظ أن دائرة القلاب من النوع D لها دخل واحد فقط وهو الدخل D بالإضافة إلى نبضة التزامن CK. فاذا كان D عند المستوى المنطقي (1) عندما تصل نبضة التزامن إلى المدخل CK، فإن خرج دائرة القلاب يكون هو المستوى المنطقي (1) [Set]، لأنه في هذه الحالة يكون الدخل S = 1، والدخل R = 0 وبالرجوع إلى جدول الحقيقة لدائرة القلاب S-R المتزامن (جدول 5 -3) نجد أن الخرج Q = 1. وإذا كان D عند المستوى المنطقي (0) عندما تصل نبضة التزامن إلى المدخل CK، فإن خرج دائرة القلاب يكون هو المستوى المنطقي (0) [Reset]، لأنه في هذه الحالة يكون الدخل S = 0، الدخل R = 1 وبالنظر إلى جدول (5 -3) نجد أن الخرج Q = 0. في الحالة الفعالة (Set) نقول إنه تم تخزين (1) بدائرة القلاب ، وفي الحالة غير الفعالة (0) نقول إنه تم تخزين (0) بدائرة القلاب.

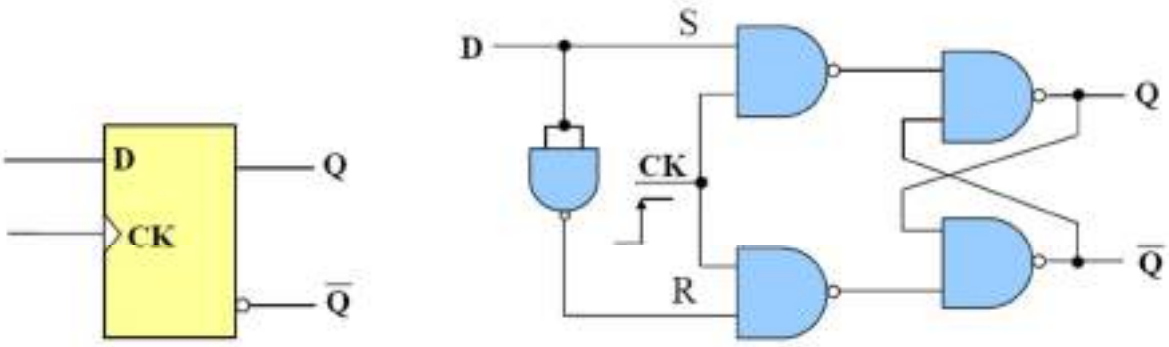
وطريقة التشغيل السابقة لدائرة القلاب من النوع D والذي يتغير الخرج له عند الحافة الموجبة لنبضة التزامن (Positive Edge Trigger) موضحة في الجدول (5 -4).

وضع التشغيل (Mode of Operation)	الخرج	المدخلات	
	Q	CK	D
وضع الإمساك (عدم التغير) No Change	Q_0	↓	X
الحالة غير الفعالة (RESET)	0	↑	0
الحالة الفعالة (SET)	1	↑	1

↑ - نبضة الساعة تتغير من (0) الى (1)

الجدول (5 -4) جدول الحقيقة لدائرة القلاب D المتزامن.

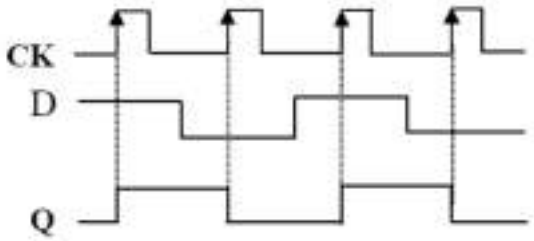
ونلاحظ من الجدول أن الخرج (Q) يتبع الدخل (D) عند وصول نبضة التزامن. والشكل (5 -9) يوضح الرمز المنطقي للقلاب D ذي المدخل الواحد للبيانات (D) بالإضافة إلى مدخل نبضات التزامن (CK) ويسمى القلاب أحياناً بقلاب التأخير الزمني. كما يبين الشكل (5 -10) كيفية بناء دائرة القلاب D باستعمال بوابات NAND.



الشكل (5 -10) دائرة القلاب D باستعمال بوابات NAND. الشكل (5 -9) الرمز المنطقي للقلاب D.

مثال 5 -3: ارسم شكل نبضات الخرج (Q) لدائرة القلاب من النوع D والموضحة في شكل (5 -9) إذا كان شكل نبضات الدخل (D) كما هو موضح في شكل (5 -11). افرض أن دائرة القلاب تعطي خرجاً Q = 0 قبل وصول أول نبضة تزامنية.

الحل:



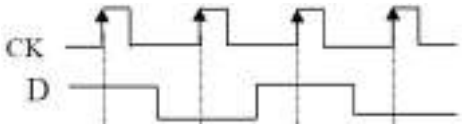
الشكل (5 -11) المخطط الزمني لدائرة القلاب من النوع D.

الخرج (Q) يتبع حالة الدخل (D) عند الوقت الذي تتغير فيه نبضة التزامن من (0) إلى (1) أي عند الحافة الموجبة.

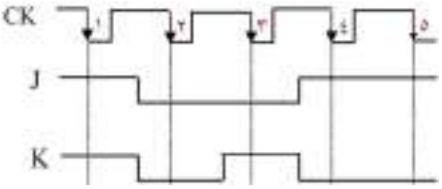
ثالثا : الاختبار الذاتي Self test

اكمل الفراغات التالية بما يناسبها :

1. يختلف هزازSR المتزامن عن هزازSR في ان اخراج الاول لا يتغير الا بعد وصول ..... .
2. ارسم شكل موجة الاخراج (Q) لدائرة هزاز(D) اذا كانت الموجة الداخلة هي كما يلي (افرض ان الحالة السابقة لاخراج الهزاز كانت(Q=0) قبل وصول اول نبضة) :



3. ارسم شكل موجة الاخراج (Q) لدائرة هزاز(JK) اذا كانت الموجات الداخلة هي كما يلي (افرض ان الحالة السابقة لاخراج الهزاز كانت(Q=0) قبل وصول اول نبضة) :

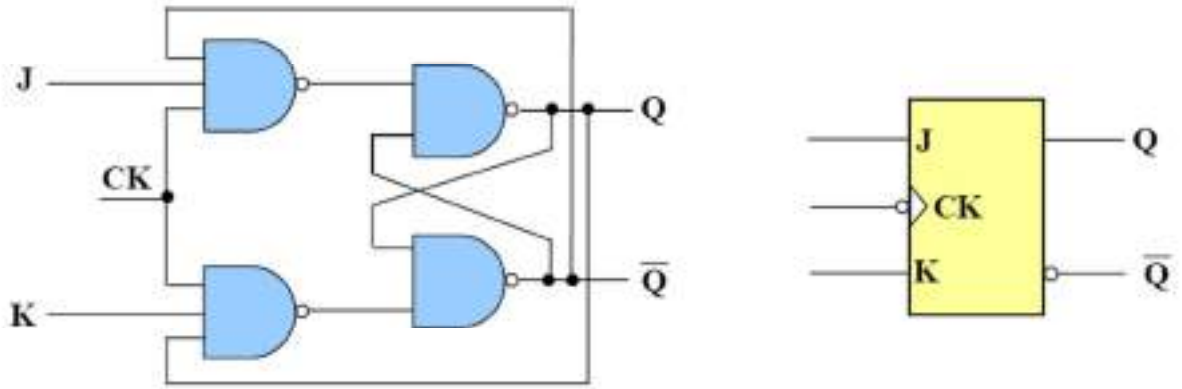


تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

5 -5 القلاب J-K المتزامن J-K Flip Flop

تعتبر دائرة القلاب J-K من أكثر أنواع القلابات استخداماً. والرمزان J وK يمثلان الدخل لهذا القلاب، وليس اختصاراً لأي كلمة كما في حالة القلاب S-R سوى أنهما حرفان متتاليان من الحروف الهجائية. وطريقة عمل القلاب J-K تماثل تماماً القلاب S-R في الأوضاع الثلاثة الأولى للتشغيل وهي عدم التغير أو الإمساك والحالة الفعالة (Set) والحالة غير الفعالة (Reset). والفرق فقط أن القلاب J-K ليس له حالة حظر كما هو الحال في حالة القلاب S-R.

الشكل (5 -12) يبين دائرة القلاب J-K المتزامن وكذلك الرمز المنطقي له. وكما ذكرنا سابقاً فإن هذا القلاب يقوم بجميع أعمال القلاب S-R المتزامن يضاف إليها السماح بتحديد شروط الخرج عندما تكون المداخل J وK عند المستوى المنطقي (1) وفي وجود نبضة التزامن.



الشكل (5 -12) دائرة القلاب J-K المتزامن والرمز المنطقي له.

نلاحظ من شكل (5 -12) أن دائرة هذا القلاب مختلفة عن دائرة القلاب S-R حيث إن الخرج Q، $\overline{Q}$ موصلان على الدخل مرة أخرى.

والجدول (5 -5) يوضح جدول الحقيقة للقلاب J-K ويبين الصف الأول حالة الإمساك أو عدم التغيير عندما يكون كل من J وK مساوياً للصفر (0)، بينما يبين الصف الثاني من الجدول حالة الخمول أو المسح (Reset) أو الحالة (0) عندما تكون المداخل J = 0 و K = 1 مع وصول نبضة التزامن، أما الصف الثالث فيبين الوضع في الحالة الفعالة (Set) للقلاب J-K عندما تكون المداخل J = 1 و K = 0 مع وصول نبضة التزامن. ويبين الصف الرابع من الجدول حالة هامة من حالات القلاب J-K تسمى وضع التبدل (Toggle)، فعندما يكون كل من الدخلين J وK في المستوى المنطقي (1) فإن الخرج Q يتحول إلى الحالة العكسية له عندما تصل نبضة التزامن إلى المدخل CK.

المدخلات			الخرج	وضع التشغيل
J	K	CK	Q	(Mode of Operation)
X	X	↑	Q_0	عدم التغير No Change
0	0	↓	Q_0	وضع الإمساك (عدم التغير) No Change
0	1	↓	0	الوضع غير الفعال (RESET)
1	0	↓	1	الوضع الفعال (SET)
1	1	↓	$\overline{Q_0}$	وضع التبديل Toggle

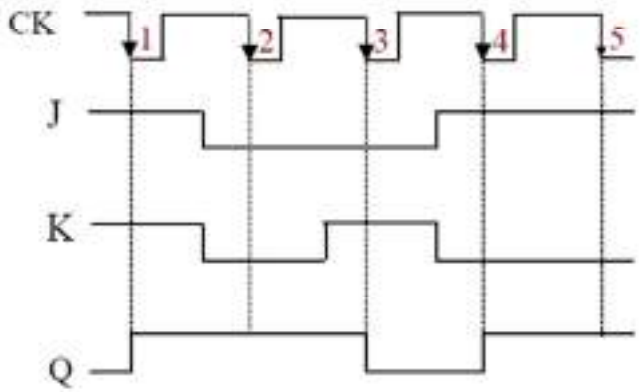
↓ - نبضة الساعة تتغير من (1) الى (0)

Q_0 - الخرج الموجود قبل وصول أول نبضة تزامن

الجدول (5 -5) جدول الحقيقة للقلاب J-K المتزامن.

ثال 5 -4: ارسم شكل نبضات الخرج (Q) لدائرة القلاب J-K والموضحة في شكل (5 -12) إذا كان شكل نبضات الدخل لكل من J-K وكذلك CK كماهو موضح في شكل (5 -13). افترض ن القلاب يعطي خرجاً Q = 0 قبل وصول أول نبضة تزامن.

لحل:



الشكل (5 -13) المخطط الزمني لدائرة القلاب J-K المتزامن.

1- عند وصول نبضة التزامن الأولى، كل من J وK يساوي (1) ولأن هذا وضع التبديل فإن الخرج Q تحول إلى المستوى (1).

2- عند نبضة التزامن الثانية يكون وضع الإمساك أو عدم التغيير هو الموجود نظراً لأن J = K = 0.

3- عند حدوث النبضة الثالثة، يكون J = 0 و K = 1 وهو وضع (Reset) وبالتالي تكون Q = 0.

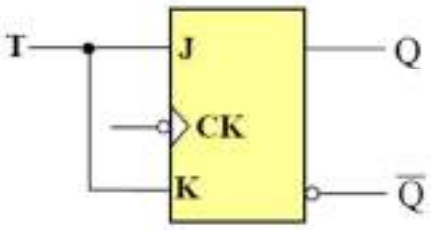
4- عند حدوث النبضة الرابعة، يكون J = 1 و K = 0 وهو وضع (Set) وعليه يكون Q = 1.

5- الوضع (Set) يستمر مع وصول النبضة الخامسة نظراً لعدم تغير J و K وبالتالي يظل الخرج Q على الوضع (1).

5 -6 دائرة القلاب من النوع T T-Type Flip-Flop

دائرة القلاب من النوع T يمكن بناؤها من دائرة القلاب J-K المتزامن وذلك بربط كل من الدخلين J و K مع بعضهما البعض كما هو موضح في شكل (5 -14)، ومنه نلاحظ أن القلاب من النوع T له دخل واحد فقط وهو الدخل T بالإضافة إلى نبضة التزامن. والرمز T هو اختصار لكلمة (Toggle) وتعني التبديل أو تغيير الحالة.

عند توصيل الدخل (T) بالمستوى المنطقي (1) مع تغذية المدخل CK بنبضات التزامن، ومع استمرار تدفق نبضات التزامن على المدخل CK يبدأ الخرج في التبديل أو التغيير ويحدث التبديل عند الطرف الهابط لنبضة التوقيت وهو ما تشير إليه الدائرة الصغيرة أمام المدخل CK في شكل (5 -14).



الشكل (5 -14) الرمز المنطقي لدائرة القلاب من النوع T.

وجدول الحقيقة لدائرة القلاب من النوع T موضح في جدول (5 -6).

المدخلات		الخرج	وضع التشغيل (Mode of Operation)
T	CK	Q	
X	↑	Q_0	عدم التغير No Change
0	↓	Q_0	وضع الإمساك (عدم التغير) No Change
1	↓	$\overline{Q_0}$	وضع التبديل Toggle

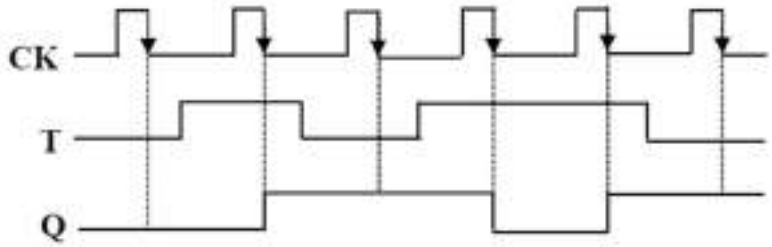
↓ - نبضة الساعة تتغير من (1) الى (0)

Q_0 - الخرج الموجود قبل وصول أول نبضة تزامن

الجدول (5 -6) جدول الحقيقة للقلاب من النوع T.

مثال 5 -5: ارسم شكل نبضات الخرج Q لدائرة القلاب من النوع (T) والموضحة في شكل (5 -14) إذا كان الدخل T وكذلك الدخل CK كما هو موضح في شكل (5 -15) وبافتراض أن القلاب يعطي خرجاً Q = 0 قبل وصول أول نبضة تزامن.

الحل:



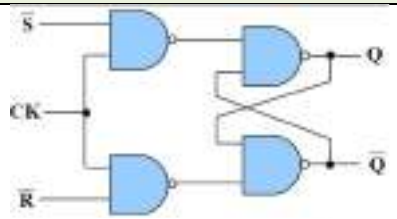
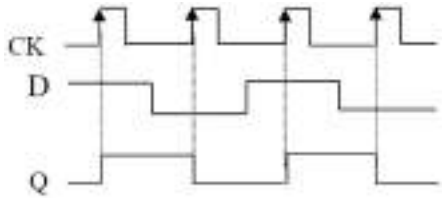
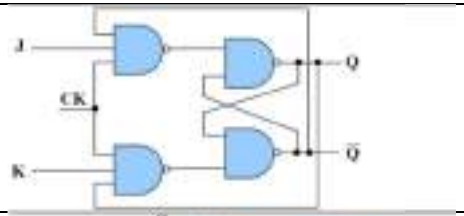
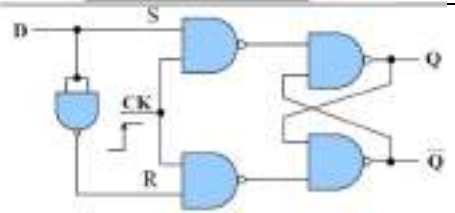
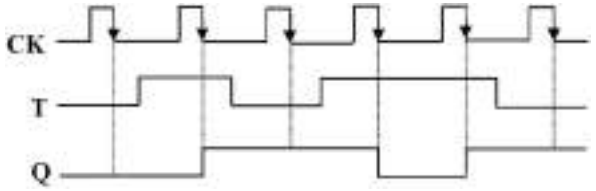
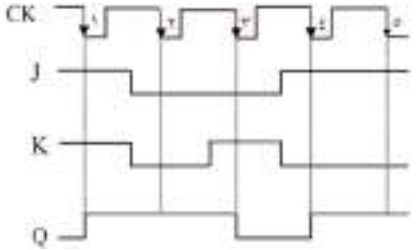
الشكل (4 -15) المخطط الزمني لدائرة القلاب من النوع T.

من الشكل نجد أن الخرج Q يتغير إذا كانت T = 1 وذلك مع نبضة التزامن الهابطة، فعند نبضة التزامن الأولى فإن T = 0 وبالتالي فإن Q لن يتغير أي أن Q = 0، وعند النبضة الثانية T = 1 إذن يتغير الخرج Q من (0) إلى (1) وهكذا.

رابعا : الاختبار البعدي Post test

1- ارسم دائرة هزاز (SRT) ثم أكتب جدول واقعيته .
2- ارسم دائرة هزاز (JK) ثم أكتب جدول واقعيته .
3- ارسم دائرة هزاز (D) ثم أكتب جدول واقعيته .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

ثالثا : مفاتيح الاجابة على الاختبارات					
الاختبار القبلي Pre test		الاختبار الذاتي Self test		الاختبار البعدي Post test	
رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة
1	الإخراج الحالي يعتمد على الإخراج السابق بالاضافة الى المداخل الانية .	1	نبضة الساعة	1	
2	(10,01,00) و الحالة غير المسموحة هي (11)	2		2	
3	(11,10,01,00)			3	
4	الإخراج الأول عكس الإخراج الثاني .				
5		3			

المصادر (References) :

1- الالكترونيك الرقمي المتقدم ترجمة ((ضياء مهدي فارس وآخرون)).1991.
2- Digital Principles &Application
3- Digital computer fundamentals (thematic bartee))
4- Introduction to Digital computer((louis mashelsky))
5- Modern Digital electronics (R.P.Jain
6- الالكترونيك الرقمي وتطبيقاته ((تأليف: مالفينو)).

(المحاضرة العشرون) : المرجيح (الهزازات)(Flip-Flops)

أولا : النظرة الشاملة (Overview)

أ - الفئة المستهدفة Target Population

طلبة المرحلة: الاولى في المعهد التقني/ النجف - قسم الالكترونيك

ب - مبررات المحاضرة وموضوعاتها Rationale

بالنظر للاستخدام الواسع للهزازات كوحدات بناء اساسية لدوائر العدادات وسجلات الازاحة والتخزين و دوائر التحكم والسيطرة بالاضافة الى تطبيقات عديدة اخرى مثل كواشف الترميز، المقارنة ، دوائر تقسيم التردد وغيرها .

فقد صممت هذه المحاضرة لكي يتعلم الطالب تركيب دوائر المراجيح المختلفة واستنتاج جداول واقعيتها .

ج- الأفكار المركزية Central Ideas

اولا : دراسة تركيب دائرة مرجاح السيد/المسود .

ثانيا : المقارنة بين المراجيح المختلفة و أمثلة لربط مراجيح مختلفة.

ثالثا : رسم شكل الموجات الخارجة بالاعتماد على النبضات الداخلة .

رابعا : التعرف على الدوائر المتكاملة للمراجيح المختلفة 7474-7476-7478-7472-7473 .

د- أهداف المحاضرة Objectives

سيكون الطالب بعد دراسته لهذه المحاضرة قادرا على أن :

- يرسم دائرة مرجاح السيد/المسود .
- يقارن بين المراجيح المختلفة وكيفية ربطها .
- يرسم شكل الموجات الخارجة بالاعتماد على النبضات الداخلة .
- يتعرف على الدوائر المتكاملة للمراجيح المختلفة 7474-7476-7478-7472-7473 .
- يرسم نبضات التحكم الداخلة والخارجة للمراجيح السابقة الذكر .

ثانيا- الاختبار القبلي Pre test

1- ارسم شكل موجات الاخراج لدائرة هزاز(SR) نوع التابع- المتبوع .

2- ارسم شكل موجات الاخراج لدائرة هزاز(JK) نوع التابع- المتبوع .

3- ارسم دائرة هزاز(SR) نوع التابع- المتبوع .

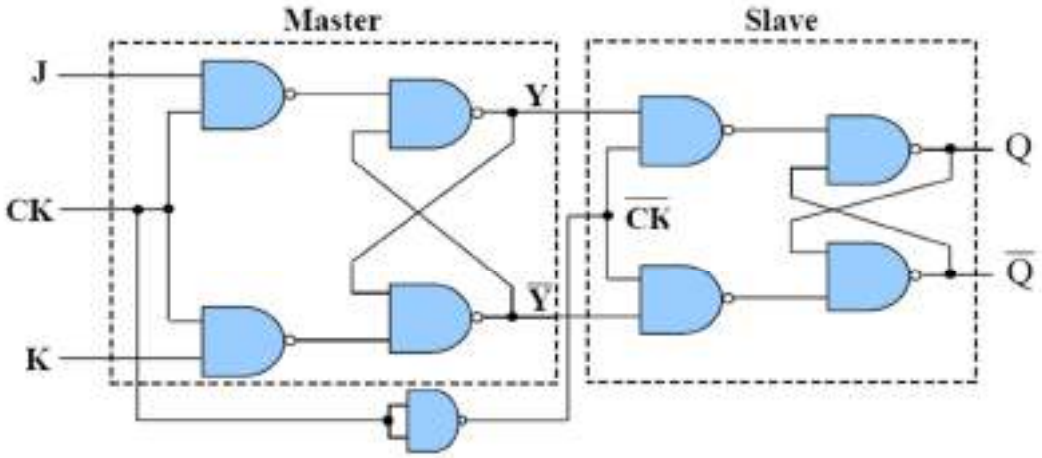
تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة، فاذا حصلت على نسبة اجابة اكثر من 75٪ فأنت لست بحاجة لهذه المحاضرة ، اما اذا حصلت على اقل من ذلك فانتقل الى الخطوة التالية: (نص المحاضرة)

5 -7 قلاب التابع – المتبوع Master-Slave Flip-Flop

من دراستنا السابقة لدوائر القلابات المختلفة رأينا كيف يمكن التحكم في تشغيلها عن طريق الحافة الموجبة أو السالبة لنبضة التزامن (Edge Triggered) .

وهناك نوع آخر من دوائر القلابات يتم التحكم في تشغيلها عن طريق الاستجابة لمستوى النبضة (Pulse Triggered) والتي تسمى بقلاب التابع – المتبوع (Master-Slave)، ولذلك فإن هذا النوع من القلابات يحتاج إلى نبضة كاملة من نبضات التزامن (Complete Clock Pulse) لتغيير حالة الخرج أي لتشغيل الدائرة.

شكل (5 -16(i)) يوضح دائرة قلاب J-K من النوع التابع -المتبوع، وهي تحتوي على دائرتين من قلاب J-K المتزامن وتسمى الأولى بالتابع (Master) والأخرى بالمتبوع (Slave)، المرحلة الأولى (Master) من دائرة القلاب تستقبل نبضات التزامن (CK) مباشرة، بينما تستقبل المرحلة الثانية (Slave) عكس إشارة نبضة التزامن ($\overline{CK}$).



الشكل (5 -16(أ)) دائرة القلاب J-K التابع - المتبوع.

وبالرجوع إلى شكل نبضات التزامن لكل من $\overline{CK}$ و CK في شكل(5 -16(جـ))، نلاحظ أن الجزء التابع (Master) من الدائرة يتم تشغيله عندما تكون نبضة التزامن (CK) عند الحافة الموجبة ، والجزء المتبوع (Slave) من الدائرة من ناحية أخرى يتم تشغيله عندما تكون نبضة التزامن عند الحافة السالبة لأنه في هذه الحالة تكون نبضة التزامن المعكوسة ($\overline{CK}$) موجبة.

وبناء على ذلك فهناك خطوتان تحدثان قبل أن يتغير كل من $\overline{Q}$ و Q استجابة للدخل J وK:

الخطوة الأولى: خلال المستوى المنطقي (High) للنبضة (CK) فإن دائرة التابع (Master) تكون في وضع التشغيل (Enabled) ويكون شكل الخرج لها حسب مستوى الدخلين J وK.

الخطوة الثانية: خلال المستوى المنطقي (Low) للنبضة (CK) فإن دائرة المتبوع (slave) تكون في وضع التشغيل (Enabled) ويتبع الخرج Q المستوى المنطقي الموجود على الدخل Y.

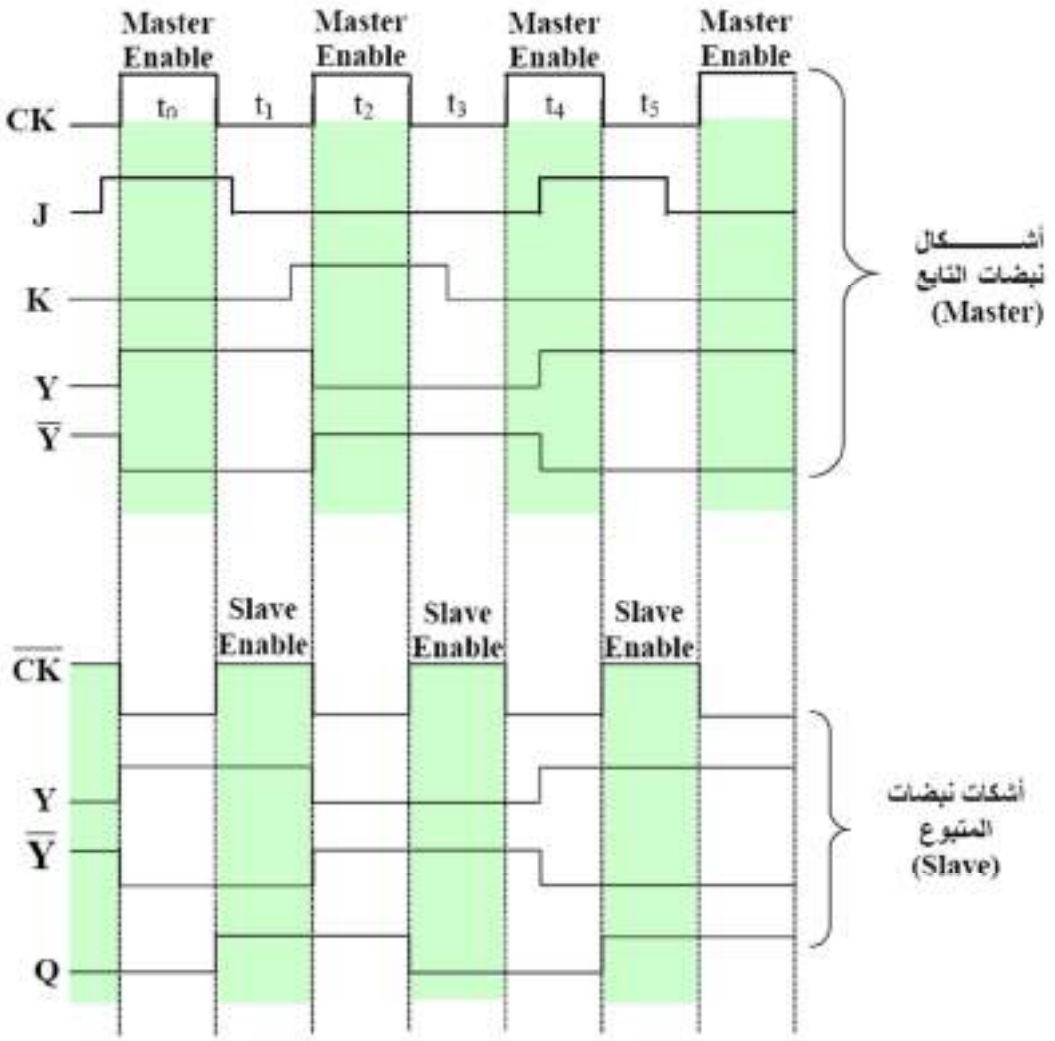
جدول الحقيقة الموضح في شكل(5 -16(ب)) يلخص لنا كيفية عمل دائرة القلاب من النوع J-K التابع -المتبوع. وكما نرى فإن الجدول يماثل تماماً جدول الحقيقة لدائرة القلاب J-K المتزامن. ونرى في العمود (CK) من الجدول نبضة تزامنية كاملة وبالتالي فإن الدائرة تحتاج إلى كل من المستوى (High) والمستوى (Low) لنبضة التزامن لتشغيل كل جزء منها.

شكل (5 -16(جـ)) يوضح الرسم البياني الزمني لقلاب J-K التابع -المتبوع، ومن خلال نبضات التزامن (CK) سوف ننتقل خلال الأزمنة من t_0 إلى t_3 لنرى كيف تستجيب الدائرة للتغيير في الدخلين J وK.

- عند الزمن t_0 ، تكون دائرة التابع (Master) في وضع التشغيل (Enabled) عن طريق المستوى الموجب (High) لنبضة التزامن (CK) وعند هذه اللحظة فإن $J = 1$ و $K = 0$ وهي الحالة الفعالة (Set) لدائرة التابع، ويكون الخرج $Y = 1$ ($\overline{Y} = 0$).
- عند الزمن t_1، تكون دائرة التابع مفصولة (Disabled) عن طريق النبضة السالبة (Low) للدخل CK، بينما تكون دائرة المتبوع (Slave) في وضع التشغيل (Enabled) وذلك عن طريق النبضة الموجبة (High) للدخل $\overline{CK}$. وحيث إن $Y, \overline{Y}$ يمثلان الدخل لدائرة المتبوع، فإن الخرج Q يكون في الحالة الفعالة (Set) أي أن $Q = 1$. وهذا يوضح كيف أن دائرة المتبوع ببساطة تأخذ الموجود على دخلها وتضعه على خرجها عندما تكون في وضع التشغيل عن طريق نبضة التزامن (عندما كانت $Y = 1, \overline{Y} = 0$ فإن الخرج $Q = 1, \overline{Q} = 0$ عندما تكون نبضة التزامن $\overline{CK} = 1$) . وعلى ذلك يمكن القول بأن دائرة القلاب الثانية تابعة لدائرة القلاب الأولى.

المدخلات			الخرج	وضع التشغيل
J	K	CK	Q	(Mode of Operation)
0	0	⊓	Q_0	وضع الإمساك (عدم التغير)
0	1	⊓	0	(RESET) الوضع غير الفعال
1	0	⊓	1	(SET)الوضع الفعال
1	1	⊓	$\overline{Q}_0$	وضع التبديل

الشكل(5 -16 (ب)) جدول الحقيقة لدائرة القلاب J-K التابع -المتبوع.



الشكل (5 -16(جـ)) المخطط الزمني لدائرة القلاب J-K التابع المتبوع.

- عند الزمن t_2، تكون دائرة التابع في وضع التشغيل، عن طريق النبضة الموجبة (High) للدخل CK وعند هذه اللحظة تكون $J = 0$ و $K = 1$ فيكون الخرج $Y = 0, \overline{Y} = 1$ أي في الحالة غير الفعالة (Reset).
- عند الزمن t_3، تفصل دائرة التابع عن طريق النبضة السالبة (Low) للدخل CK، بينما تكون دائرة المتبوع في وضع التشغيل. وحيث إن دخل دائرة المتبوع هو الحالة غير الفعالة (Reset) فعلية يكون خرج المتبوع هو $Q = 0$.
- عند الزمن t_4، يكون الدخلان J و K في الوضع (Low) وعلية تظل قيمة الخرج Y عند آخر وضع لها، والذي كان هو الوضع غير الفعال ($Y = 0$). وفي منتصف الفترة الزمنية t_4، فإن الدخل J تغير إلى الوضع (High) وعليه فإن الخرج أصبح في الوضع $Y = 1$.

ثالثا : الاختبار الذاتي Self test

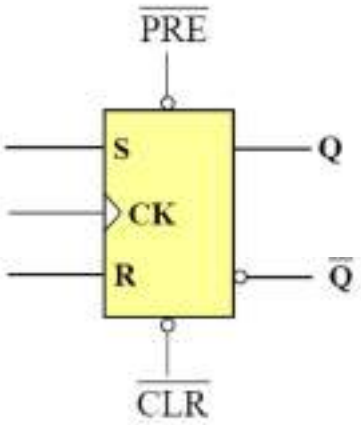
اكمل الفراغات التالية بما يناسبها :

1. تدعى مداخل التصفير والضبط بمداخل التحكم الاختيارية لان الهزاز يستجيب لها بشكل ..... .
2. يتلخص عمل هزاز التبادل (T) في انه .....حالة إخراجه مع كل نبضة لذلك يستخدم في بناء ..... .
3. يتلخص عمل هزاز التاخير (D) في ان إخراجه بعد النبضة
   يساوي..... لذلك يستخدم في .....
4. ارسم دائرة هزاز(JK) نوع التابع- المتبوع .
5. ارسم الرمز المنطقي لدائرة هزاز(D) نوع التابع- المتبوع .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

- عند الزمن t_4، دائرة التابع مفصولة بينما تكون دائرة المتبوع في وضع التشغيل، وبالتالي فإن الخرج $Y = 1$ يصل إلى الخرج Q فيصبح $Q = 1$.

وعادة تزود جميع دوائر القلابات السابق شرحها بمدخلين غير متزامنين أي لا يعملان مع نبضات التزامن. أحدهما الدخل غير الفعال للضبط المسبق (PRESET) ويختصر إلى ($\overline{PRE}$) والآخر يسمى الدخل غير الفعال للمسح (CLEAR) ويختصر إلى ($\overline{CLR}$) والشكل (5 -17) يوضح الرمز المنطقي لدائرة قلاب S-R مزودة بالمدخلين $\overline{PRE}$ ، $\overline{CLR}$. وهذان المدخلان هامان للغاية فعند توصيل مصدر القدرة إلى أجهزة النظم الرقمية، فإن دوائر القلابات يمكن أن تبدأ بالحالة الفعالة (SET) أي $Q = 1$، أو الحالة غير الفعالة (RESET) أي $Q = 0$، ويمكن أن يكون أي من الخرجين ذي نتائج غير مرغوبة في حالة كون الخرج Q سيتم استعماله للتحكم في عناصر خارجية. ولهذا السبب فإن الدخل (RESET) والدخل (CLEAR) يضافان دائماً كدخل مباشر في معظم شرائح دوائر القلابات. والمدخل ($\overline{PRE}$) يستخدم للضبط المسبق، وذلك لتغيير المخرج Q بصورة غير متزامنة ليصبح (1) عند وضع $\overline{PRE} = 0$، والمدخل ($\overline{CLR}$) يستخدم كمدخل لمسح أو تغيير المخرج Q بصورة غير متزامنة ليصبح (0) عند وضع $\overline{CLR} = 0$. وجدول (5 -7) يوضح كيفية العمل لهذين المدخلين في دائرة القلاب S-R ويلاحظ من الجدول أنه عندما تكون $\overline{CLR} = 1$ وفي نفس الوقت $\overline{PRE} = 0$ (نشطه) فإن الخرج Q يصبح يساوي (1)، بصرف النظر عن قيمة المدخلات CK, S, R . في السطر الثاني من الجدول نجد $\overline{PRE} = 1$ وكذلك $\overline{CLR} = 0$ (نشطة) وهذا يتسبب في جعل قيمة الخرج Q تساوي (0) وبصرف النظر عن قيم المدخلات CK, S, R.

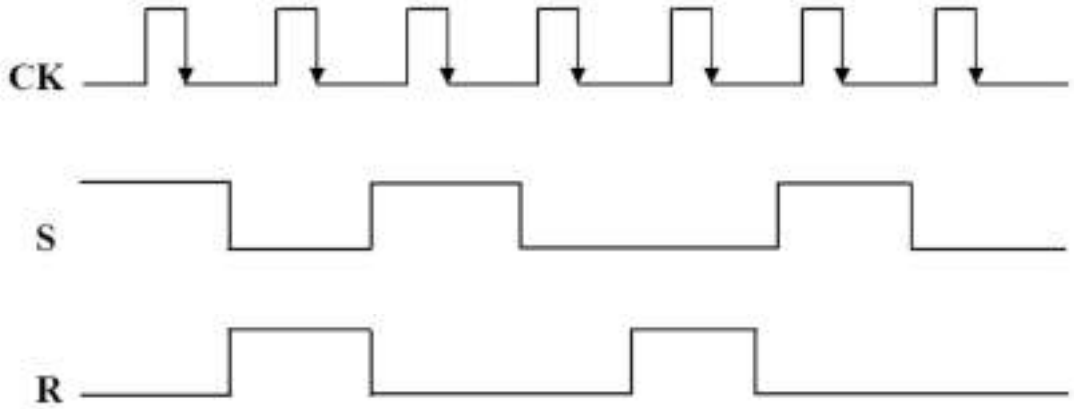


الشكل (5 -17) الرمز المنطقي لدائرة القلاب S-R مزودة بالمدخلين $\overline{PRE}$ ، $\overline{CLR}$.

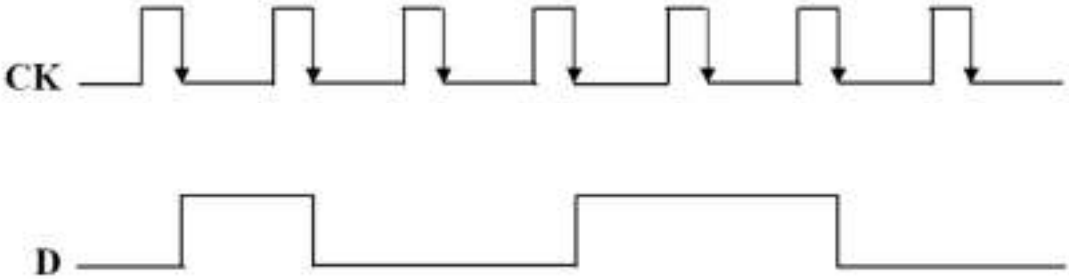
المدخلات					الخرج	وضع التشغيل
$\overline{PRE}$	$\overline{CLR}$	CK	S	R	Q	(Mode of Operation)
0	1	X	X	X	1	الوضع الفعال (SET)
1	0	X	X	X	0	الوضع غير الفعال (RESET)
0	0	X	X	X	?	حالة الحظر

الجدول (5 -7) كيفية عمل المدخلان $\overline{PRE}$ و $\overline{CLR}$ في دائرة القلاب S-R.

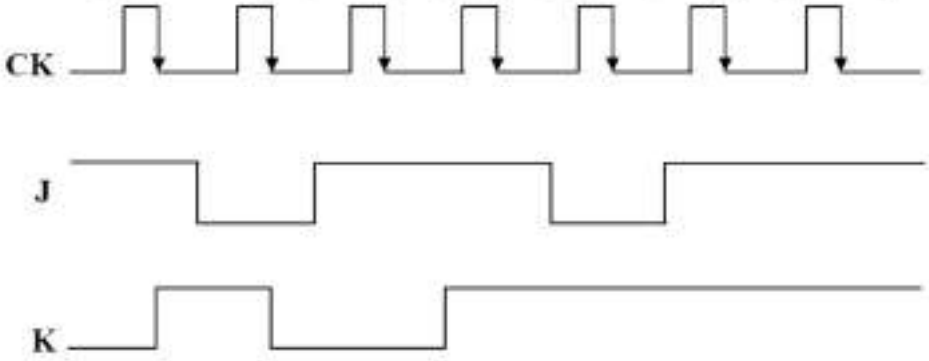
1) ارسم شكل نبضات الخرج (Q) لدائرة القلاب S-R والتي يتغير الخرج لها عند الحافة السالبة لنبضات التزامن (negative edge trigger) إذا كان شكل نبضات الدخل كما هو موضح بالشكل. افترض أن دائرة القلاب تعطي خرجاً Q=0 قبل وصول أول نبضة من نبضات التزامن.



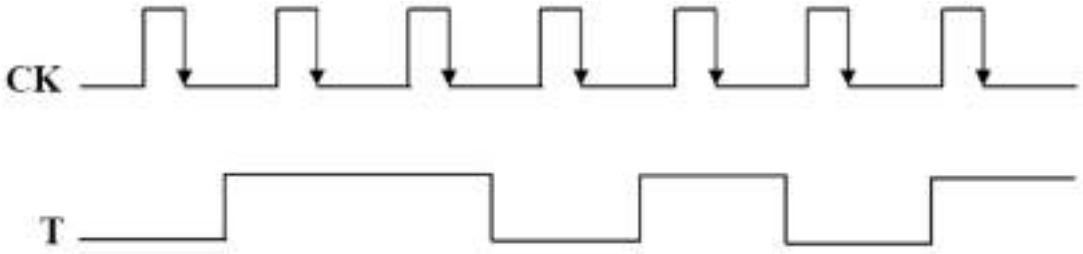
2) ارسم شكل نبضات الخرج (Q) لدائرة القلاب من النوع D والتي يتغير الخرج لها عند الحافة الموجبة لنبضات التزامن (positive edge trigger) إذا كان شكل نبضات الدخل كما هو موضح بالشكل. افترض أن دائرة القلاب تعطي خرجاً Q=0 قبل وصول أول نبضة من نبضات التزامن.



3) ارسم شكل نبضات الخرج (Q) لدائرة القلاب JK والتي يتغير الخرج لها عند الحافة السالبة لنبضات التزامن (negative edge trigger) إذا كان شكل نبضات الدخل كما هو موضح بالشكل. افترض أن دائرة القلاب تعطي خرجاً Q=0 قبل وصول أول نبضة من نبضات التزامن.



4) ارسم شكل نبضات الخرج (Q) لدائرة القلاب من النوع T والتي يتغير الخرج لها عند الحافة السالبة لنبضات التزامن (negative edge trigger) إذا كان شكل نبضات الدخل كما هو موضح بالشكل. افترض أن دائرة القلاب تعطي خرجاً Q=0 قبل وصول أول نبضة من نبضات التزامن.



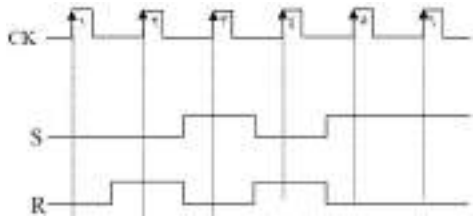
رابعا : الاختبار البعدي Post test

1- يختلف عمل هزاز (JK) عن هزاز(SR) المتزامن في حالة المداخل التي تعطي حالة للاخراج ..... في هزاز(SR) المتزامن و تعطي حالة للاخراج ..... في هزاز(JK) .

2- ارسم الرمز المنطقي لدائرة هزاز التبادل (T)

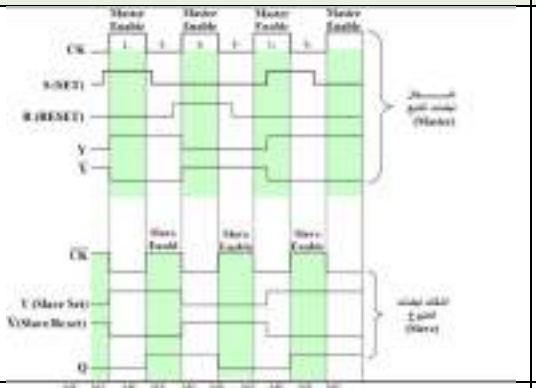
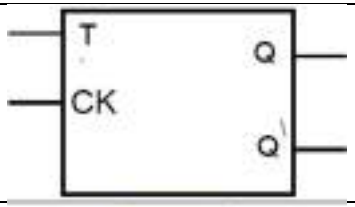
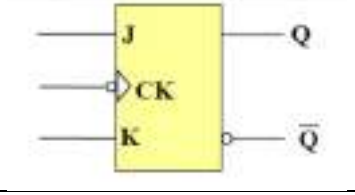
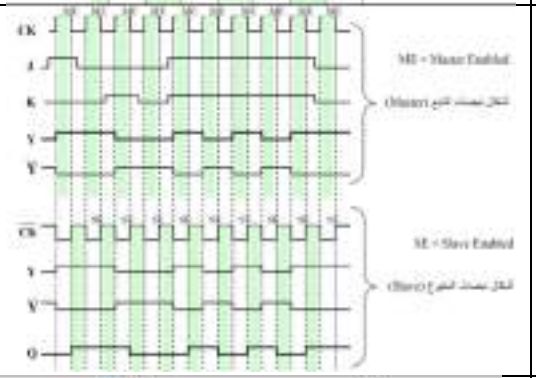
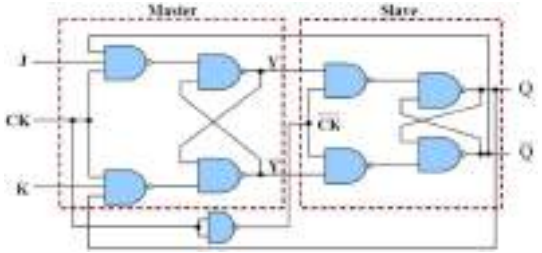
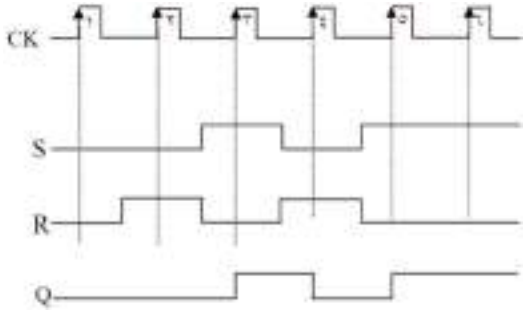
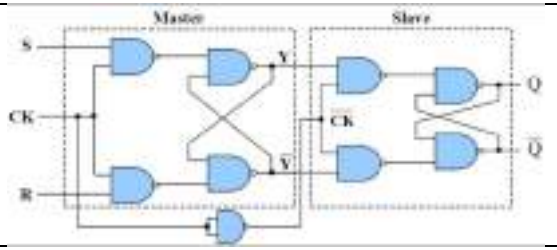
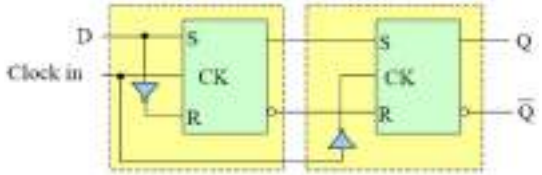
3- ارسم الرمز المنطقي لدائرة هزاز التبادل (JK) .

4- ارسم شكل موجة الاخراج (Q) لدائرة هزاز(SR) المتزامن اذا كانت الموجات الداخلة هي كما يلي (افرض ان الحالة السابقة لاخراج الهزاز كانت(Q=0) قبل وصول اول نبضة) :



تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

ثالثا : مفاتيح الاجابة على الاختبارات

الاختبار القبلي Pre test		الاختبار الذاتي Self test		الاختبار البعدي Post test	
رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة
1		1	إختياري	1	الغير معرفة ، عكس الحالة السابقة
		2	يعكس ، دوائر العدادات	2	
		3	نفس الادخال ، دوائر الخزن	3	
2		4		4	
3		5			

المصادر (References) :

1- الالكترونيك الرقمي المتقدم ترجمة ((ضياء مهدي فارس وآخرون)).1991.
2- Digital Principles &Application
3- Digital computer fundamentals (thematic bartee))
4- Introduction to Digital computer((louis mashelsky))
5- Modern Digital electronics (R.P.Jain
6- الالكترونيك الرقمي وتطبيقاته ((تأليف: مالفينو)).

(المحاضرات الحادية و العشرون – الثالثة و العشرون) : العدادات الإلكترونية (Electronic Counters)

أولا : النظرة الشاملة (Overview)

أ - الفئة المستهدفة Target Population

طلبة المرحلة: الاولى في المعهد التقني/ النجف - قسم انظمة الحاسوب

ب - مبررات المحاضرة وموضوعاتها Rationale

يعتبر العداد من الدوائر الاساسية في عمل معظم الاجهزة والمنظومات الرقمية .

لذلك صممت هذه المحاضرات لكي يتعرف الطالب على فكرة عمل وكيفية تصميم العدادات المختلفة (العداد التموجي التصاعدي- العداد التموجي التنازلي- العداد التموجي العشري ، العداد التموجي التصاعدي- التنازلي و العداد التزامني المتوالي ، العداد التزامني المتوازي- مقسم ثنائي للعدد(6) مقسم ثنائي للعدد (5)) وعلى الدوائر المتكاملة الشائعة للعدادات .

ج- الأفكار المركزية Central Ideas

اولا: فكرة عامة عن العدادات .

ثانيا: العداد التموجي التصاعدي .

ثالثا: العداد التموجي التنازلي .

رابعا: العداد التموجي العشري .

خامسا: العداد التموجي التصاعدي- التنازلي .

سادسا: العداد التزامني المتوالي .

سابعا: العداد التزامني المتوازي .

ثامنا: مقسم ثنائي للعدد(6) ، مقسم ثنائي للعدد (5) ، الدوائر المتكاملة الشائعة للعدادات .

د- أهداف المحاضرة Objectives

سيكون الطالب بعد دراسته لهذه المحاضرة قادرا على أن :

- يتعرف على انواع العدادات .
- يصمم دائرة العداد التموجي التصاعدي ويكتب جدول واقعيته
- يصمم دائرة العداد التموجي التنازلي ويكتب جدول واقعيته .
- يصمم دائرة العداد التموجي العشري ويكتب جدول واقعيته .

- يتعرف على نوعي العداد التموجي التصاعدي- التنازلي و العداد التزامني المتوالي .
- يصمم دائرة العداد التموجي التصاعدي- التنازلي ويكتب جدول واقعيته .
- يصمم دائرة العداد التزامني المتوالي ويكتب جدول واقعيته .

- يتعرف على انواع العدادات : التزامني المتوازي- مقسم ثنائي للعدد(6) - مقسم ثنائي للعدد (5) وكيفية تصميمها وعلى الدوائر المتكاملة الشائعة للعدادات.
- يصمم دائرة مقسم ثنائي للعدد(6) ويكتب جدول واقعيته .
- يصمم دائرة مقسم ثنائي للعدد(5) ويكتب جدول واقعيته .
- يتعرف على انواع الدوائر المتكاملة الشائعة للعدادات .

ثانيا- الاختبار القبلي Pre test

1- أرسم دائرة عداد ثنائي تصاعدي غير متزامن ذو أربع مراحل .
2- إستنتج جدول واقعية الدائرة المذكورة أعلاه .
3- إرسم أشكال نبضات اخراج الدائرة المذكورة أعلاه .
4- أرسم دائرة عداد ثنائي تنازلي غير متزامن ذو أربع مراحل .
5- إستنتج جدول واقعية الدائرة المذكورة أعلاه .
6- إرسم أشكال نبضات اخراج الدائرة المذكورة أعلاه .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة، فاذا حصلت على نسبة اجابة اكثر من 75٪ فأنت لست بحاجة لهذه المحاضرة ، اما اذا حصلت على اقل من ذلك فانتقل الى الخطوة التالية: (نص المحاضرة)

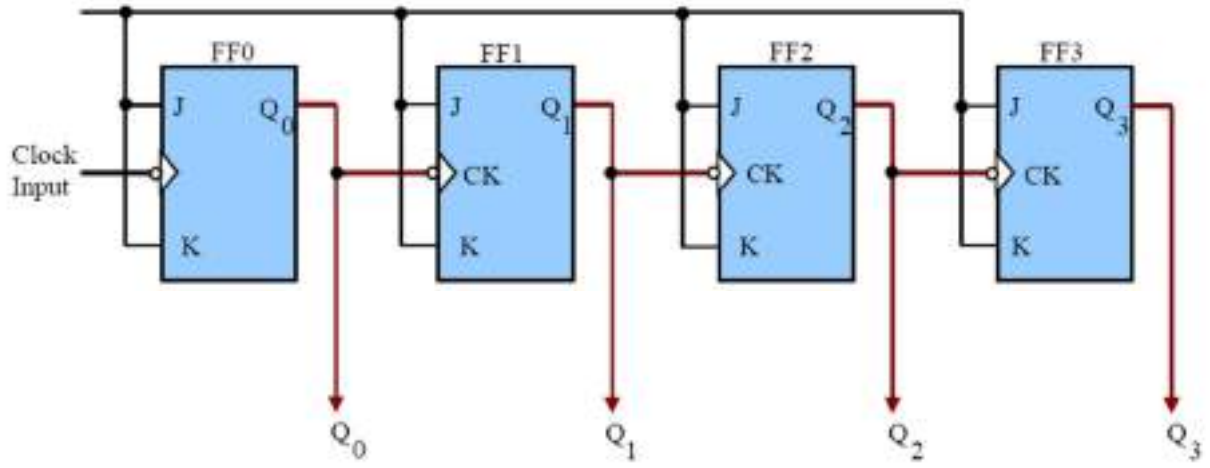
6 -3 العدادات Counters

العدادات مثل المسجلات من حيث إنها من الدوائر المنطقية التعاقبية ويتم بناؤها من الدوائر القلابة. والمسجل من ناحية أخرى يصمم كي يقوم بتخزين عدد من الخانات الثنائية (binary bits)، بينما الخانات الثنائية التي يتم تخزينها من طريق العداد تمثل عدد نبضات التزامن التي دخلت على مدخل نبضات التزامن (clock input). ونبضات التزامن المطبقة على العداد تعمل على تغيير حالة دوائر القلابات المصمم منها العداد وبملاحظة خرج دوائر القلابات يمكننا تحديد عدد نبضات التزامن التي تم تطبيقها على مدخل العداد.

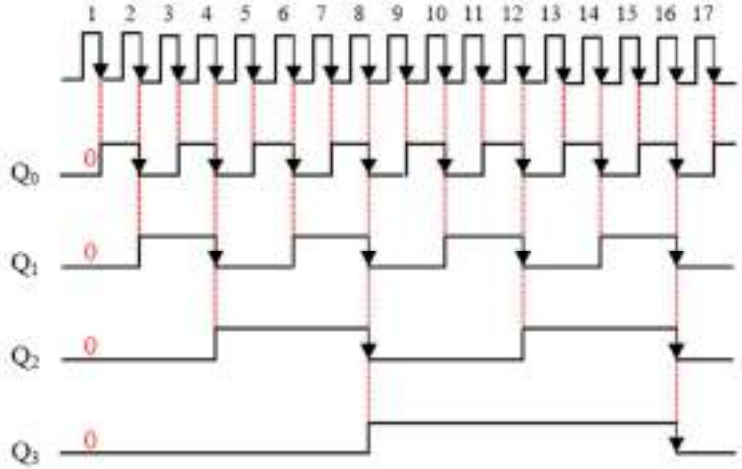
وهناك نوعان أساسيان من دوائر العدادات أحدهما يسمى بالعدادات غير المتزامنة (Asynchronous Counters) والنوع الآخر يسمى بالعدادات المتزامنة (Synchronous Counters). والفرق الرئيس بين هذين النوعين من العدادات هو طريقة توصيل نبضات التزامن بين الدوائر القلابة التي يتكون منها العداد. وأغلب القلابات التي يتكون منها العداد غير المتزامن لا توصل إلى نبضات التزامن الرئيسة، وبالتالي هذا العداد يعمل غير متزامن مع نبضات التزامن الرئيسة (Master Clock). ومن ناحية أخرى كل دوائر القلابات المكونة للعدادات المتزامنة توصل إلى نبضات التزامن الرئيسية، وبالتالي فإن هذا العداد يعمل متزامن مع نبضات التزامن الرئيسة.

6 -3 -1 العدادات الثنائية التصاعدية غير المتزامنة Asynchronous Binary-Up Counters

شكل (6 -8(i)) يوضح كيفية بناء عداد غير متزامن تصاعدي مكون من أربع مراحل. كل مرحلة عبارة عن قلاب J-K المتزامن. في هذه الدائرة نرى أن جميع دوائر القلابات موصلة على التوالي بمعنى أن الخرج لإحدى دوائر القلابات سوف يستخدم كنبضات تزامن للقلاب الذي يليه. ويلاحظ أن الدخل J وK لجميع القلابات موصل بالمستوى (High)، وعلى ذلك فإن خرج كل دوائر القلابات سوف يحدث له تبديل (Toggle) أو تغير مع كل حافة سالبة (Negative edge) من نبضات التزامن. أشكال الموجات لنبضات التزامن الرئيسة لهذه الدائرة مع الخرج (Q) لكل دائرة قلاب موضحة في شكل (6 -8(ب)). المخرجات Q_3,Q_2,Q_1,Q_0 تمثل الكلمة المكونة من أربعة خانات (4-bit word) والتي نفترض أنها عند بداية العد تساوي 0000 كما هو موضح في أقصى اليسار من الشكل الموجي للنبضات وموضحة أيضاً في السطر الأول من جدول الحقيقة المبين في جدول (6 -4). خرج دائرة القلاب FF0 (Q_0) يمثل خانة (LSB) للخرج بينما يمثل خرج دائرة القلاب FF3 (Q_3) الخانة (MSB).



(أ)



(ب)

الشكل (6 -8) عداد تصاعدي غير متزامن مكون من أربع مراحل مع أشكال النبضات له.

ونلاحظ أن دائرة القلاب (FF0) تنشط عن طريق نبضات التزامن الرئيسة (Clock input)، وبالتالي فإن الخرج Q_0 يحدث له تبديل (Toggle) مع كل نبضة من نبضات الدخل التزامنية ، كما هو موضح على الخرج Q_0 في شكل (6 -8(ب)). وهذا يعني أن الحافة السالبة الأولى لنبضة التزامن سوف تجعل Q_0 يتغير من "0" إلى "1" والحافة السالبة الثانية سوف تجعله يتغير من "1" إلى "0" وهكذا. وهذا الخرج Q_0 موصل كنبضات تزامن إلى دخل دائرة القلاب FF1، وعليه فإن كل حافة سالبة من Q_0 سوف تجعل الخرج Q_1 يتبدل أو يتغير (Toggle). وبالمثل فإن كل حافة سالبة من Q_1 سوف تجعل الخرج Q_2 يتبدل، وكل حافة سالبة من Q_2 سوف تجعل الخرج Q_3 يتبدل.

العشري	خرج العداد			
	Q_0	Q_1	Q_2	Q_3
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	0	1
9	1	0	0	1
10	0	1	0	1
11	1	1	0	1
12	0	0	1	1
13	1	0	1	1
14	1	1	1	1
15	0	0	0	0

Cycle Repeats

Binary Count

الجدول (6 -4) جدول الحقيقة للعداد التصاعدي غير المتزامن

- **أقصى عد للعداد** The Maximum Count (N) of a Counter

بالنظر إلى جدول الحقيقة للعداد والموضح في جدول (6 -4) ، نجد أنه بعد النبضة التزامنية الأولى يكون خرج العداد 0001 [واحد (1) في النظام العشري] ، وبعد النبضة التزامنية الثانية يكون الخرج 0010 [اثنان (2) في النظام العشري] ، وبعد النبضة التزامنية الثالثة يكون الخرج 0011 [ثلاثة (3) في النظام العشري] ، وهكذا. وأقصى عدد ممكن أن يصل إليه العداد محكوم بعدد دوائر القلابات المصمم منها العداد ، ويمكن حساب أقصى عدد يصل إليه العداد عن طريق العلاقة:

$$N = 2^n - 1$$

حيث:

N = أقصى عدد للعداد قبل دورة التكرار (N = maximum count before cycle repeats)

n = عدد دوائر القلابات في دائرة العداد (n = number of flip-flops in the counter circuit)

وفي دائرة العداد الموضحة في شكل 4 -32(i) فإن أقصى عدد للعداد هو :

$$N = 2^n - 1$$
$$= 2^4 - 1$$
$$= 16 - 1$$
$$= 15_{10}(1111_2)$$

- **مقدار العداد** The Modulus (MOD) of a counter

يعرف مقدار العداد (Modulus of a counter) ويختصر إلى (MOD) بأنه عدد التشكيلات المختلفة لخرج العداد. وكمثال على ذلك فإن العداد الموضح في شكل (6 -8(أ)) له MOD يساوي (16) لأن العداد يولد (16) خرجاً مختلفاً من 0000 إلى 1111 وكما هو موضح في جدول الحقيقة في جدول (6 -4). كما يمكن حساب MOD لأي عداد باستخدام العلاقة:

$$MOD = 2^n$$
$$MOD = \text{modulus of the counter}$$
$$n = \text{number of flip-flops in the counter circuit}$$

وفي دائرة العداد الموضحة في شكل (6 -8(أ)) فإن نطاق الأعداد التي يعدها العداد هي:

$$MOD = 2^n$$
$$= 2^4$$
$$= 16$$

- **تقسيم التردد للعداد** The Frequency Division of a counter

وبالعودة مرة أخرى إلى الشكل الموجي لنبضات الخرج للعداد والموضحة في شكل (6 -8(ب)) يمكن أن نرى كيف يعمل العداد كمقسم للتردد (frequency divider) حيث إن كل دائرة قلابة من دوائر العداد تقوم بتقسيم التردد الداخل عليها على 2، وبالتالي يمكن القول إن كل دائرة قلابة بناء على ذلك تعمل كدائرة تقسم التردد على 2. فإذا ما تم توصيل عدد 2 دائرة قلابة مع بعضهما، فإن نبضات الدخل تقسم أول مرة على 2 بالنسبة للقلاب الأول ثم تقسم مرة أخرى على 2 بالنسبة للقلاب الثاني، وتكون المحصلة النهائية للدائرة المكونة من القلابين هي قسمة تردد الدخل على 4 وكما هو موضح في شكل (6 -8(ب)) والذي نرى من خلاله أن أربعة نبضات من الدخل الرئيس نأخذها كنبضة واحدة كاملة على الخرج Q_1. وبناء على ذلك، فإن دائرة قلابة واحدة تقسم التردد الداخل عليها على 2.

مجزئ التردد :

يعتبر العداد مجزئ (مقسم) للتردد كما لاحظنا ذلك من العدادات السابقة ، فنجد مثلا في العداد ذي معاملة (16) والمكون من أربعة قلابات نجد أن عند إعطاء هذا العداد (16) نبضة تزامن CK كان خرج القلاب الأول ثماني نبضات أي أن القلاب الأول يقسم نبضات التزامن على 2 ، وكان خرج القلاد الثاني أربع نبضات أي أن القلاب الثاني يقسم نبضات التزامن على 4 ، وكان خرج القلاب الثالث نبضتين أي أن القلاب الثالث يقسم نبضات التزامن على 8 ، كان خرج القلاب الرابع نبضة واحدة أي أن القلاب الرابع يقسم نبضات التزامن على 16 ، أو بمعنى آخر كل قلاب يقسم نبضات قدح من خرج القلاب السابق على 2 ، فلو كانت (مثلاً) نبضات التزامن CK للقلاب الأول ترددها (60HZ) فإن خرج القلاب الأول (30HZ) وخرج القلاب الثاني هو (15HZ) وخرج القلاب الثالث (7.5HZ) ، وخرج القلاب الرابع هو (3.75HZ) .

٢ -العداد التصاعدي ذو معامل n :

عندما نريد تصميم عداد ذي معامل n فإننا نطبق القاعدة التالية $2^m \geq n$

حيث إن : m : عدد القلابات n : معامل العداد

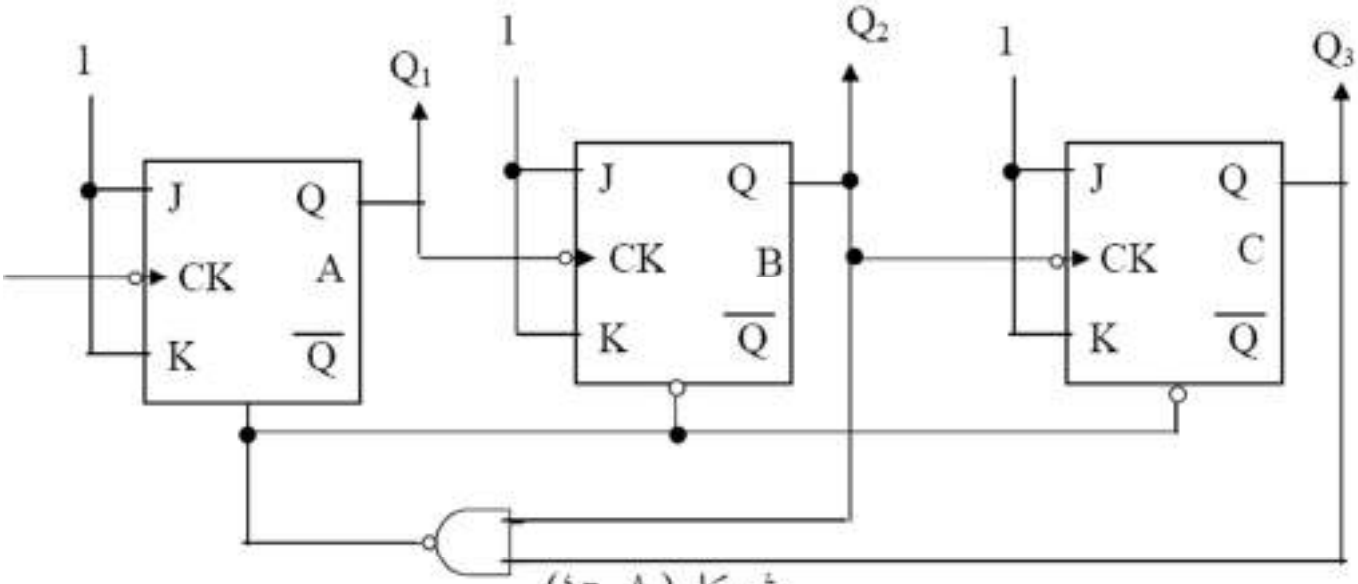
فمثلاًعندما نريد تصميم عداد ذي معامل (6) أي له ست حالات عد ويعد من (0 ~ 5) فتطبق القاعدة $2^m \geq n \Rightarrow 2^3 = 8$ أي أكبرمن 6 لأنه لا يوجد عد أي العداد يعد من (0 ~7) والمطلوب ست حالات فقط أي من (0 ~ 5) لذلك فإننا سوف نحتاج إلى ثلاثة قلابات J.K ولتكن C B A

وكذلك سوف نحتاج إلى بوابة NAND كما بالشكل (٨ -٤) تكون مداخلها من الوحايد الثنائية المكافئة للرقم العشري (6) وهي كالتالي 6 ⟹ 1 1 0

أي بوابة NADA داخلها من خرج القلابات C, B وخرج بوابة NAND يكون دخل لمدخل المسح CLR للقلابات ، وكما علمنا أن المداخل الإستاتيكية(PR , CLR) أقوى من المدخل الديناميكية (J,K) لذ فإنه عندما يعد العداد خمسة والتي تكافئ ثنائياً : 5 ⟹ 1 0 1

سوف ينتقل العداد لعد العدد ستة الذي يكافئ ثنائياً : 6 ⟹ 1 1 0

وهذا سوف ينشط بوابة NAND بالوحايد لذا فإن خرجها سيكون صفراً وهذا بدوره ينشط مدخل المسح وهذا سيؤدي إلى تصفير جميع مخارج القلابات وتبدأ بالعد من جديد (000) ولا تعد العدد (6) ، (110) .



شكل (٨ -٤)

ملحوظة :

إذا كانت مداخل المسح للقلابات تنشط بالصفر نستخدم بوابة NAND ، إما إذا كانت تنشط بالواحدة نستخدم بوابة AND

وداثرتين تقومان بتقسيم التردد الداخل على 4، وثلاثة تقوم بتقسيم الدخل على 8، وأربعة تقسم الدخل على 16 وهكذا. وتقسيم التردد الذي يقوم به العداد يمكن حسابه من المعادلة الآتية:

Division Factor = 2^n (معامل القسمة)

n = number of flip-flops in the counter circuit

- **وقت تاخير الانتشار للعداد** The Propagation Delay Time (t_p) of a counter

يسمى العداد غير المتزامن أيضاً باسم عداد التموج (Ripple counter)، وذلك لأن نبضات التزامن تطبق فقط على أول داثرة قلاب، ومع البدء في العد فإن التأثير ينتقل إلى باقي دوائر القلابات. وحيث إن كل داثرة قلاب تُنشط الداثرة التي تليها بنبضات التزامن، فإن نبضات التزامن هذه تحتاج إلى بعض الوقت كي تنتقل من داثرة قلاب إلى أخرى وتغير خرجها إلى القيمة الجديدة.

وكمثال على ذلك، فإن نبضة التزامن الثامنة (الحافة السالبة الثامنة) عندما تحدث فإن خرج جميع الدوائر القلابة يحتاج إلى التغيير من 0111 إلى 1000. فإذا كانت كل داثرة قلاب لها زمن تأخير الانتشار (t_p) يساوي 10ns فإنها ستأخذ 40ns (4 Flip-Flops × 10ns) لتغيير حالة العداد من 0111 إلى 1000. ولذلك فإن سرعة العد (counting speed) أو تردد نبضات التزامن يكون محكوماً بزمن تأخير الانتشار لكل الدوائر القلابة في داثرة العداد. ويمكن حساب أقصى قيمة لتردد نبضات التزامن للعداد عن طريق العلاقة الآتية:

$$f = \frac{1 \times 10^9}{n \times t_p}$$

حيث:

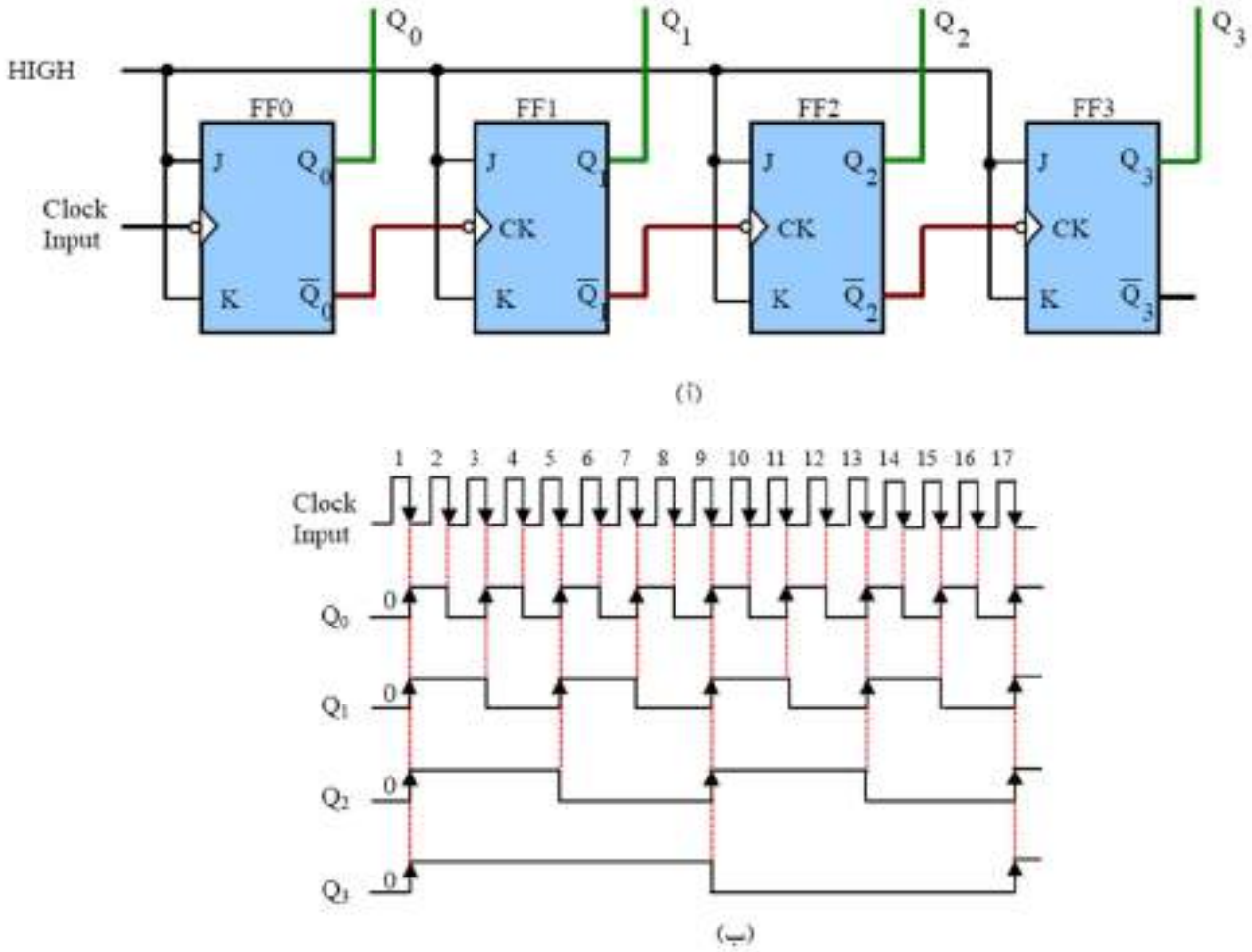
f = upper clock pulse frequency limit
n = number of flip-flops in the counter circuit
t_p= propagation delay time of each flip-flop in nanoseconds

6 -3 -2 العدادات الثنائية التنازلية غير المتزامنة Asynchronous Binary Down Counters

في العداد التصاعدي الذي تمت دراسته كانت كل نبضة تزامن تجعل خرج العداد يزيد بمقدار "1". وبعمل تعديل بسيط في داثرة العداد التصاعدي يمكننا الحصول على العداد التنازلي والذي ينقص خرجه بمقدار "1" مع كل نبضة تزامن. الشكل (6 -9(i)) يبين كيف يمكن بناء عداد تنازلي

مكون من أربع مراحل باستخدام أربع دوائر قلابة من النوع J-K . ونلاحظ توصيل الخرج $\overline{Q}$ لكل مرحلة كدخل نبضات تزامن لها بدلاً من الخرج Q في حالة العداد التصاعدي.

نبضات التزامن وشكل الخرج Q لهذا العداد موضحة في شكل (6 -9(ب)). وبالنظر إلى أقصى اليسار من الشكل نجد أن جميع الدوائر القلابة سوف تبدأ من وضع (RESET) وبالتالي فإن Q_3,Q_2,Q_1,Q_0 تساوي 0000. فإذا كانت جميع مخارج الدوائر القلابة Q تساوي Low تكون جميع المخارج $\overline{Q}$ هي 1111. وبناء على ذلك فإن مداخل نبضات التزامن لكل من الدوائر القلابة FF3وFF2وFF1 تساوي High. وحيث أن المداخل J وK لكل دوائر القلاب الأربعة موصلة High فإن الخرج لكل قلاب سوف يحدث له تبديل (Toggle) وذلك عند كل حافة سالبة من نبضات الدخل المتزامنة.



الشكل (6 -9) عداد تنازلي غير متزامن مكون من أربع مراحل مع أشكال النبضات له.

وعند وصول الحافة السالبة الأولى لنبضة التزامن إلى القلاب FF0، فإن الخرج Q_0 يتغير من "0" إلى "1" ، وهذا بالطبع يجعل الخرج $\overline{Q}_0$ يتغير من "1" إلى "0" وهذه الحافة السالبة سوف تدخل كنبضة

تزامن إلى القلاب FF1، مما يسبب حدوث تغير في الخرج Q_1 من "1" إلى "0" مما يجعل الخرج $\overline{Q}_1$ يتغير من "1" إلى "0". وهذا التبديل للخرج $\overline{Q}_1$ من "1" إلى "0" سوف يكون كنبضة تزامن للقلاب FF2، وهكذا.

العشري	خرج العداد			
	Q_0	Q_1	Q_2	Q_3
15	1	1	1	1
14	0	1	1	1
13	1	0	1	1
12	0	0	1	1
11	1	1	0	1
10	0	1	0	1
9	1	0	0	1
8	0	0	0	1
7	1	1	1	0
6	0	1	1	0
5	1	0	1	0
4	0	1	0	0
3	1	1	0	0
2	0	1	0	0
1	1	0	0	0
0	0	0	0	0

Cycle Repeats

Binary Count

الجدول (6 -5) جدول الحقيقة للعداد التنازلي غير المتزامن.

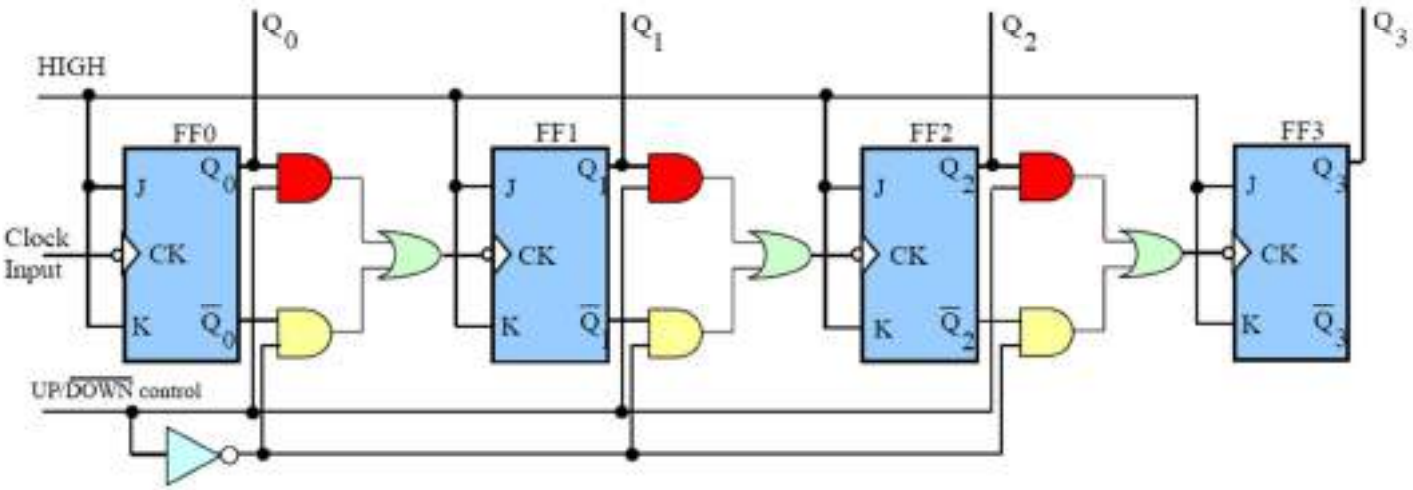
بعد نبضة التزامن الأولى يكون الخرج على العداد $Q_3.Q_2.Q_1.Q_0$ يساوي 1111 = $(15)_{10}$ كما هو موضح في السطر الأول لجدول الحقيقة في جدول (6 -5). وبالتالي فإن دائرة العداد التنازلي تبدأ في العد التنازلي برقم واحد مع كل نبضة تزامن تطبق على الدخل. وبالعودة مرة أخرى إلى شكل النبضات في الشكل (6 -9(ب))، يمكننا أن نرى أن دائرة القلاب FF0 يحدث لها تبديل عند كل حافة سالبة من نبضات التزامن، وبالتالي فإن تردد الخرج Q_0 يساوي نصف تردد الدخل، ونلاحظ أن الخرج $Q_3.Q_2.Q_1$ يحدث لها تبديل مع كل حافة موجبة لنبضة التزامن التي تصل من دائرة القلاب السابق له.

6 -3 -3 العدادات الثنائية التصاعدية / التنازلية غير المتزامنة

Asynchronous Binary Up/Down Counters

بمقارنة دائرة العداد التصاعدي والتنازلي غير المتزامنين، نجد أن الفرق الوحيد بين الدائرتين أن دوائر القلابات في العداد التصاعدي تنشط عن طريق نبضات التزامن التي تأتي من الخرج Q بينما تنشط دوائر القلابات في العداد التنازلي عن طريق نبضات التزامن التي تأتي من الخرج $\overline{Q}$.

شكل (6 -10) يبين كيفية بناء عداد تصاعدي / تنازلي عن طريق ثلاثة مجموعات من AND-OR يتم التحكم في تشغيلها عن طريق خط التحكم $UP/\overline{DOWN}$.

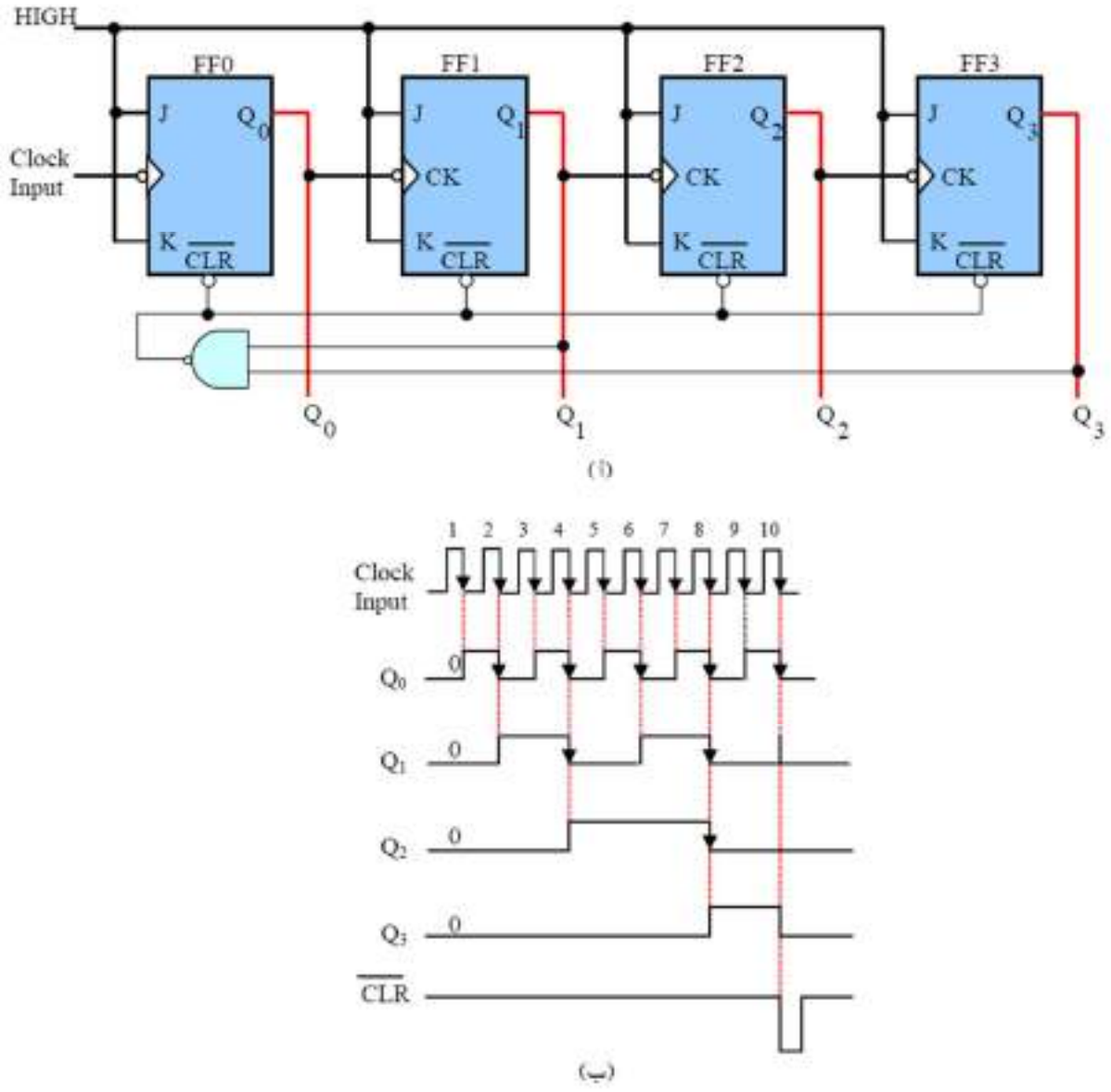


الشكل (6 -10) العداد التصاعدي التنازلي.

إذا كان خط التحكم $UP/\overline{DOWN}$ في الوضع High، فإن كل البوابات AND المظللة باللون الأحمر تكون فعالة (Enabled)، وبالتالي يتم توصيل كل خرج Q إلى مدخل النبضات المتزامنة لدوائر القلاب، مما يجعل العداد يعمل كعداد تصاعدي ومن ناحية أخرى، إذا كان خط التحكم $UP/\overline{DOWN}$ في الوضع Low، فإن كل البوابات المظللة باللون الأحمر سوف تكون في الحالة غيرالفعالة (Disabled) وكل البوابات المظللة باللون الأصفر سوف تكون في الحالة الفعالة (Enabled) وبالتالي يتم توصيل كل خرج $\overline{Q}$ إلى مدخل النبضات المتزامنة لدوائر القلاب، مما يجعل العداد يعمل كعداد تنازلي.

6 -3 -4 العدادات العشرية غير المتزامنة Asynchronous Decade (MOD-10) Counters

شكل (6 -11(أ)) يبين كيف تم تعديل العداد التصاعدي غير المتزامن والذي سبق دراسته ليصبح عداداً عشرياً (MOD-10).



الشكل (6 -11) عداد عشري غير متزامن مكون من أربع مراحل مع أشكال النبضات له.

وهذا العداد سوف يبدأ العد من 0000 (عشري 0)إلى 1001 (عشري 9) ومن ثم تتكرر الدورة مرة أخرى وكما نراه من خلال رسم النبضات في شكل (6 -11(ب)) وكذلك من جدول الحقيقة الموضح في جدول (6 -6).

والسبب في أن هذا العداد يقفز على الأرقام من 1010 إلى 1111 (أي من 10 إلى 15 في النظام العشري) ناتج من عمل بوابة NAND والتي تتحكم في المدخل غير المتزامن ($\overline{CLR}$) لكل دوائر القلابات الأربعة. وهذه البوابة لها دخلان أحدهما من الخرج Q_1 والآخر من الخرج Q_3. وعندما يصل العداد إلى الرقم 1010 (أي 10 في النظام العشري) كل من Q_3 وQ_1 سوف تكون في الوضع High، وبالتالي يكون خرج بوابة NAND يساوي Low ويعمل مسح (CLEAR) للعداد. وبالرجوع إلى رسم نبضات الخرج للعداد في شكل (6 -11(ب)) يمكن ملاحظة أن الخط $\overline{CLR}$ يكون غير فعال (inactive) من العدد 0000 إلى 1001. وعند تطبيق النبضة المتزامنة العاشرة كل من Q_3 وQ_1 يكون في المستوى High. وهذا المستوى لكل Q_1 وQ_3 مؤقت، إلى أن يتم مسح (CLEAR) الخرج لجميع دوائر القلابات عن طريق النبضة السالبة لخط التحكم $\overline{CLR}$. وجدول الحقيقة لهذا العداد العشري موضح في جدول (6 -6) وهو يلخص كيفية تشغيل العداد، حيث يتم العد من العدد 0 إلى العدد 9 ثم يكرر الدورة.

العشري	خرج العداد			
	Q_0	Q_1	Q_2	Q_3
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	0	1
9	1	0	0	1

Cycle Repeats

Binary Count

الجدول (6 -6) جدول الحقيقة للعداد العشري غير المتزامن

والخلاصة أن العداد العشري يعد من 0 إلى 9 وهي عشرة حالات للخرج (MOD-10) ويحتاج العداد إلى عشرة نبضات تزامن قبل أن يتم مسح خرجه، ويكون تردد الخرج Q_3 هو عُشر ($\frac{1}{10}$) تردد نبضات الدخل المتزامنة (Clock input).

ثالثا : الاختبار الذاتي Self test

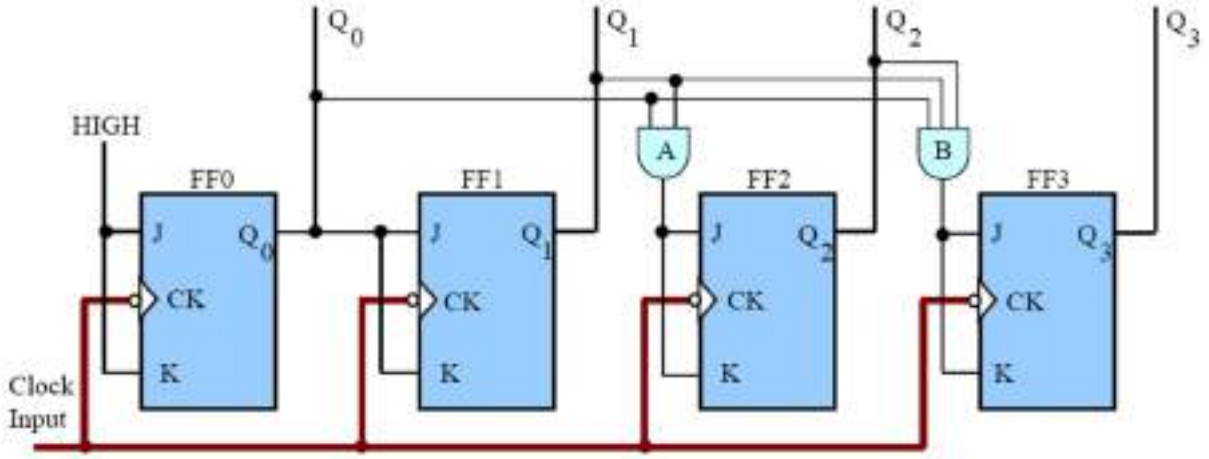
1- أرسم دائرة عداد ثنائي تصاعدي _ تنازلي غير متزامن ذو أربع مراحل .
2- أرسم دائرة عداد ثنائي عشري غير متزامن .
3- إستنتج جدول واقعية الدائرة المذكورة أعلاه .
4- إرسم أشكال نبضات اخراج الدائرة المذكورة أعلاه .
5- أرسم دائرة عداد ثنائي تصاعدي متزامن ذو أربع مراحل .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

ويستخدم هذا العداد في تطبيقات كثيرة خاصة التي تحتاج إلى إظهار شكل الخرج في الصورة العشرية مثل الساعات الرقمية (Digital clocks)، والفولتميتر الرقمي (Digital Voltmeter) وعدادات التردد (Frequency Counter).

6 -3 -5 العدادات الثنائية التصاعدية المتزامنة Synchronous Binary Counters

شكل(6 -12) يوضح كيفية توصيل أربع دوائر قلابة من النوع J-K وبوابتي AND وذلك لبناء دائرة عداد تصاعدي متزامن مكون من أربع مراحل (4-bit) أو (MOD-16) ونلاحظ من الدائرة أنه قد تم تمييز خط نبضات التزامن (خط ثقيل) لنرى أن كل دوائر القلابات في دائرة العداد المتزامن يحدث لها تنشيط (Triggered) عن طريق نبضات التزامن في نفس الوقت. وهذا التوصيل على التوازي يجعل من العداد متزامناً، وبالتالي فإن جميع دوائر القلابات سوف تنشط مع كل نبضة من نبضات التزامن.



الشكل (6 -12) عداد تصاعدي متزامن مكون من أربع مراحل.

والآن سوف ندرس كيفية عمل هذا العداد حيث إن الدخلين J وK لدائرة القلاب FF0 توضع على المستوى High، وبناء عليه فإن الخرج سوف يحدث له تبديل (Toggle) مع كل نبضة تزامن تماماً مثل المرحلة الأولى في العداد التصاعدي غير المتزامن والذي سبق شرحه، حيث الخرج يتغير من Low إلى High ومن High إلى Low وهكذا.

الدخلان J وK لدائرة القلاب FF1 يتم التحكم فيها عن طريق الخرج المقسوم على 2 لدائرة القلاب FF0 . وهذا يعني أنه عندما يكون الخرج Q_0 في المستوى Low، فإن الخرج Q_1 لدائرة القلاب FF1 لن يحدث له تغيير (No change) وعندما يكون الخرج Q_0 في المستوى High، فإن الخرج Q_1 سوف يحدث له تبديل (Toggle).

الدخلان J وK لدائرة القلاب FF2 يتم التحكم فيها عن طريق خرج بوابة AND(A) دخليها هما Q_0 وQ_1. وهذا يعني أنه عندما تكون $Q_0 = Q_1 =$ High فإن خرج بوابة AND(A) سوف يكون High، وهذا الخرج يُنشط (Enable) دائرة القلاب FF2 وذلك لعمل التبديل المطلوب.

الدخلان J وK لدائرة القلاب FF3 يتم التحكم فيها عن طريق خرج بوابة AND(B) لها المدخلات Q_2وQ_1وQ_0. وهذا يعني أنه عندما تكون Q_2,Q_1,Q_0 في المستوى High فإن خرج بوابة AND(B) سوف يكون High وهذا الخرج يُنشط دائرة القلاب FF3 لعمل التبديل.

6 -3- 6 مميزات العدادات المتزامنة Synchronous Counters Advantages

إن من أهم مميزات العدادات غير المتزامنة أو عدادات التموج (Ripple counters) هو بساطة تكون الدائرة، ويمكن أن نرى ذلك بوضوح عند مقارنة دائرة العداد التصاعدي غير المتزامن الموضحة في شكل (6 -8(i)) مع دائرة العداد التصاعدي المتزامن في شكل (6 -9(i)).

على أن من أهم عيوب العدادات غير المتزامنة هو تردد التشغيل المحدود لها أو ما يسمى بسرعة العد المحدودة. ولأن دخل نبضات التزامن يطبق فقط على دخل أو دائرة قلاب، فإن الدائرة تأخذ بعض الوقت حتى يتمكن العداد من تغيير جميع المخارج له. وهذا ما يسمى زمن تأخير الانتشار (Propagation-delay time) للعداد والذي يساوي في هذه الحالة مجموع أوقات تأخير الانتشار لكل دائرة من دوائر القلابات التي يتكون منها العداد.

هذه المحدودية تعني أنه لا يمكننا تنشيط دخل العداد بنبضة تزامن جديدة قبل أن تستقر جميع مخارج العداد في وضعها النهائي، وبناء عليه فإن تردد الدخل لنبضات التزامن (النبضات المطلوب عدها) لها سرعة محدودة أو تردد محدود. وتعتبر العدادات المتزامنة حلاً مباشر لمحدودية العدادات غير المتزامنة حيث إن زمن تأخير الانتشار لها صغير، وذلك نتيجة لأن جميع دوائر القلابات التي يتكون منها العداد يتم تنشيطها جميعاً مع كل نبضة تزامن، وهذا يعني أن كل دوائر القلابات سوف تغير حالتها في نفس الوقت، وبالتالي فإن زمن تأخير الإنتشار للعداد يساوي زمن تأخير الانتشار لدائرة قلاب واحدة.

في الحقيقة يجب أن نأخذ في الاعتبار الوقت اللازم لانتقال النبضات من المخارج حتى تصل إلى المداخل من خلال البوابات. وعند أخذ هذين العاملين في اعتبارنا يمكننا من الوصول إلى الصيغة العامة والنهائية لحساب زمن التأخير للعدادات التزامنية وهي:

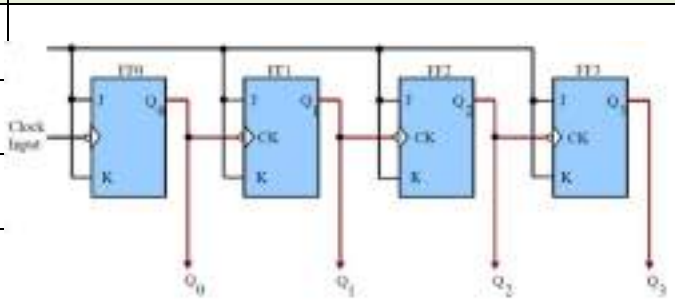
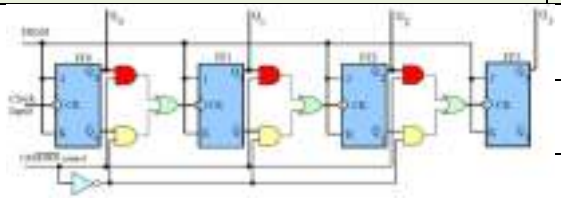
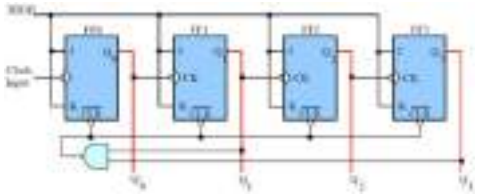
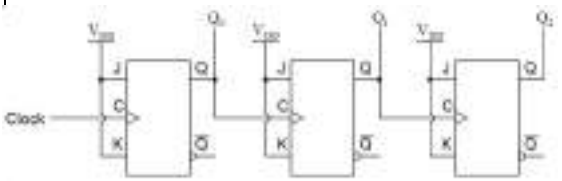
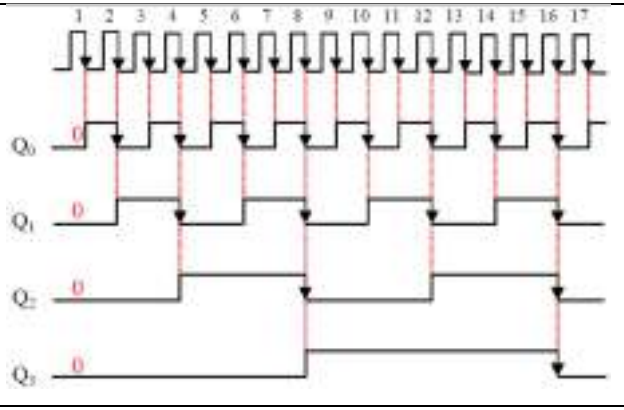
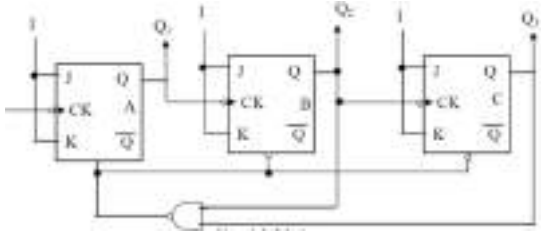
$$t_p = \text{Single (flip-flop) } t_p + \text{Single (AND-gate) } t_p$$

رابعا : الاختبار البعدي Post test

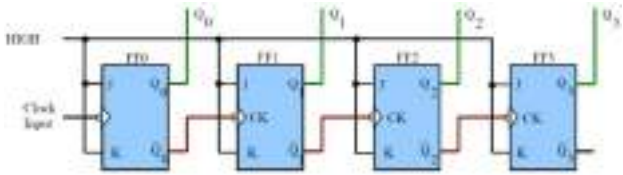
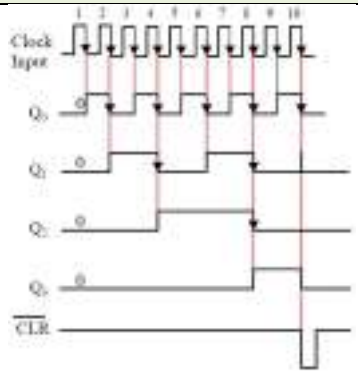
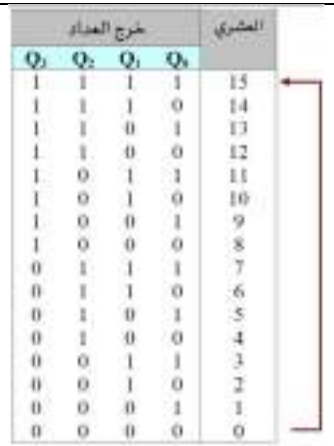
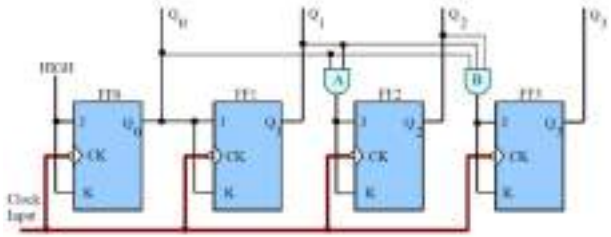
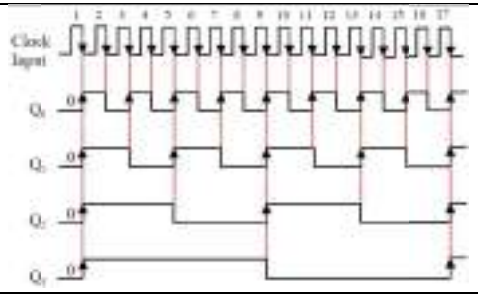
1. من أي أنواع الدوائر المنطقية تعتبر العدادات ؟
2. العداد الذي تنشط جميع نبضات التزامن لجميع قلاباته في نفس اللحظة ، ماذا يسمى ؟
3. في العداد غير المتزامن توصل جميع مداخل نبضات التزامن لقلاباته بالتوازي أم بالتوالي ؟
4. في العداد المتزامن توصل جميع مداخل نبضات التزامن لقلاباته بالتوازي أم بالتوالي ؟
5. صمم دائرة عداد تصاعدي غير متزامن ذا معامل (8) .
6. صمم دائرة عداد تصاعدي غير متزامن ذا معامل (6) .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

ثالثا : مفاتيح الاجابة على الاختبارات

الاختبار القبلي Pre test		الاختبار الذاتي Self test		الاختبار البعدي Post test	
رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة
1		1		1	الدوائر المنطقية التعاقبية
2		2		2	العداد المتزامن
3		3		3	بالتوالي
4		4		4	بالتوازي
5		5		5	
6		6		6	
7		7		7	
8		8		8	
9		9		9	
10		10		10	

ثالثا : مفاتيح الاجابة على الاختبارات

الاختبار القبلي Pre test		الاختبار الذاتي Self test		الاختبار البعدي Post test	
رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة
1		1		1	$(101101)_2$
2		2		2	$(-1001111)_2$
3		3		3	$(1100001)_2$
4		4		4	$(-101110)_2$
5		5		5	
6		6		6	
7		7		7	
8		8		8	
9		9		9	
10		10		10	
					

المصادر (References) :

1- الالكترونيك الرقمي المتقدم ترجمة ((ضياء مهدي فارس وآخرون)).1991.
2- Digital Principles &Application
3- Digital computer fundamentals (thematic bartee))
4- Introduction to Digital computer((louis mashelsky))
5- Modern Digital electronics (R.P.Jain
6- الالكترونيك الرقمي وتطبيقاته ((تأليف: مالفينو)).

(المحاضرة الرابعة و العشرون) : سجلات الإزاحة (Shift Registers)

أولا : النظرة الشاملة (Overview)

أ - الفئة المستهدفة Target Population

طلبة المرحلة: الاولى في المعهد التقني/ النجف - قسم انظمة الحاسوب

ب - مبررات المحاضرة وموضوعاتها Rationale

_تعتبر سجلات الازاحة وحدة البناء الاساسية التي تدخل في تركيب دوائر الذاكرة وأجهزة العرض الرقمية وتدخل في عمل معظم الاجهزة والمنظومات الرقمية .

لذلك صممت هذه المحاضرة لكي يتعرف الطالب على فكرة عمل سجلات الازاحة وانواعها وكيفية دخول البيانات اليها وخروجها منها .

ج- الأفكار المركزية Central Ideas

اولا : سجلات الازاحة دخول توالي- خروج توالي .

ثانيا : سجلات الازاحة دخول توالي- خروج توازي .

ثالثا : سجلات الازاحة دخول توازي- خروج توازي .

رابعا : سجلات الازاحة دخول توازي- خروج توالي

خامسا : سجلات الازاحة نحو اليمين .

سادسا : سجلات الازاحة نحو اليسار .

سابعا : سجلات الازاحة الحلقي .

ثامنا : سجل الازاحة العام .

د- أهداف المحاضرة Objectives

سيكون الطالب بعد دراسته لهذه المحاضرة قادرا على أن :

- يتعرف على انواع سجلات الازاحة .
- يحدد اتجاه حركة البيانات في سجلات الازاحة .

ثانيا- الاختبار القبلي Pre test

أ- ارسم دائرة سجل الإزاحة نوع دخول توالي- خروج توازي ذو أربع مراحل (توالي - توازي) .

ب- ارسم دائرة سجل الإزاحة نوع دخول توازي - خروج توالي ذو أربع مراحل (توازي - توالي) .

ج- ضع دائرة حول الحرف الذي يسبق الاجابة الصحيحة لكل مما يأتي:

1- تتكون المرحلة في سجل الازاحة من :

a- مثبت (أو مزلاج)

b- هزاز .

c- بايت واحد

d- أربع بايتات .

2 - لإزاحة بايت واحد من البيانات بشكل متوالي الى داخل سجل الإزاحة، نحتاج الى :

a- نبضة ساعة واحدة .

b- نبضة تحميل واحدة واحدة .

c- ثمان نبضات ساعة .

d- أربع نبضات ساعة .

3- لإزاحة بايت واحد من البيانات بشكل متوازي الى داخل سجل الإزاحة ، نحتاج الى :

a- نبضة ساعة واحدة .

b- نبضة ساعة واحدة لإدخال الأصفار و نبضة ساعة واحدة لإدخال الواحدات .

c - أربع نبضات ساعة .

d- ثمان نبضات ساعة .

4- لديك سجل إزاحة نوع دخول توالي ـ خروج توازي ذو ثمان مراتب ويراد إدخال المعلومة $(10110101)_2$. علما إن المعلومة الابتدائية المخزونة بالسجل كانت $(11100100)_2$. ماذا ستكون محتويات السجل بعد نبضتي ساعة ؟

a- $(01011110)_2$ b- $(10110101)_2$ c- $(01111001)_2$ d- $(00101101)_2$

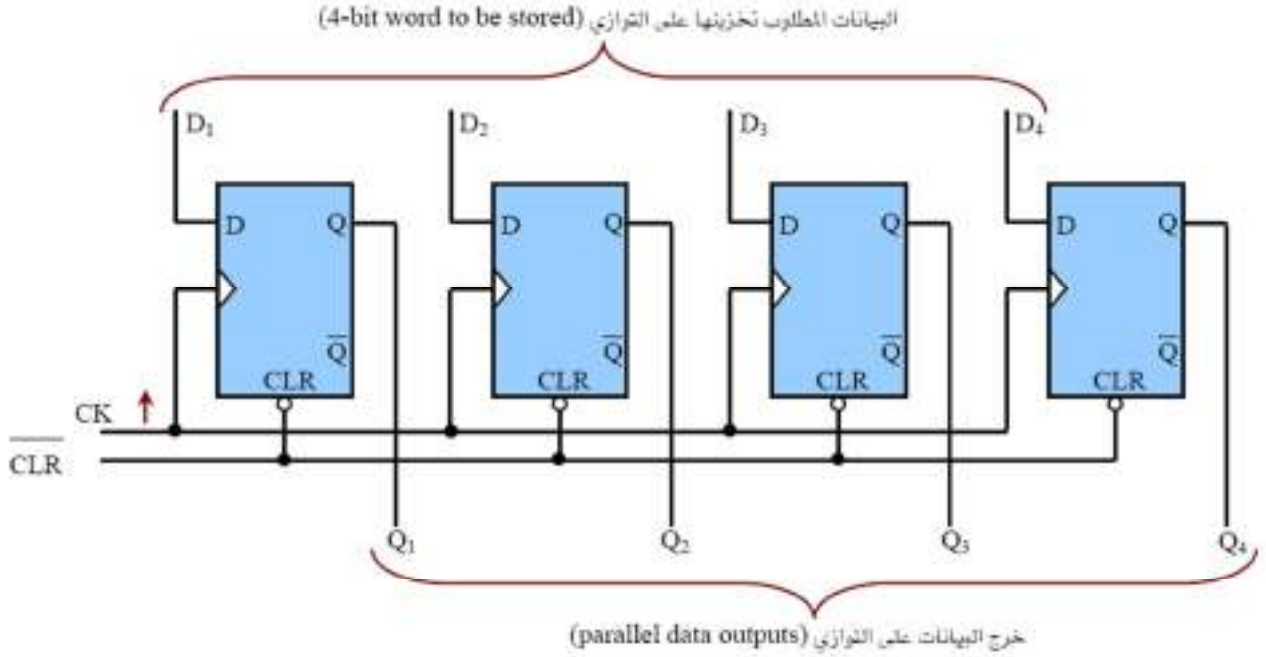
تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة، فاذا حصلت على نسبة اجابة اكثر من 75٪ فأنت لست بحاجة لهذه المحاضرة ، اما اذا حصلت على اقل من ذلك فانتقل الى الخطوة التالية: (نص المحاضرة)

6 -2 المسجلات Registers

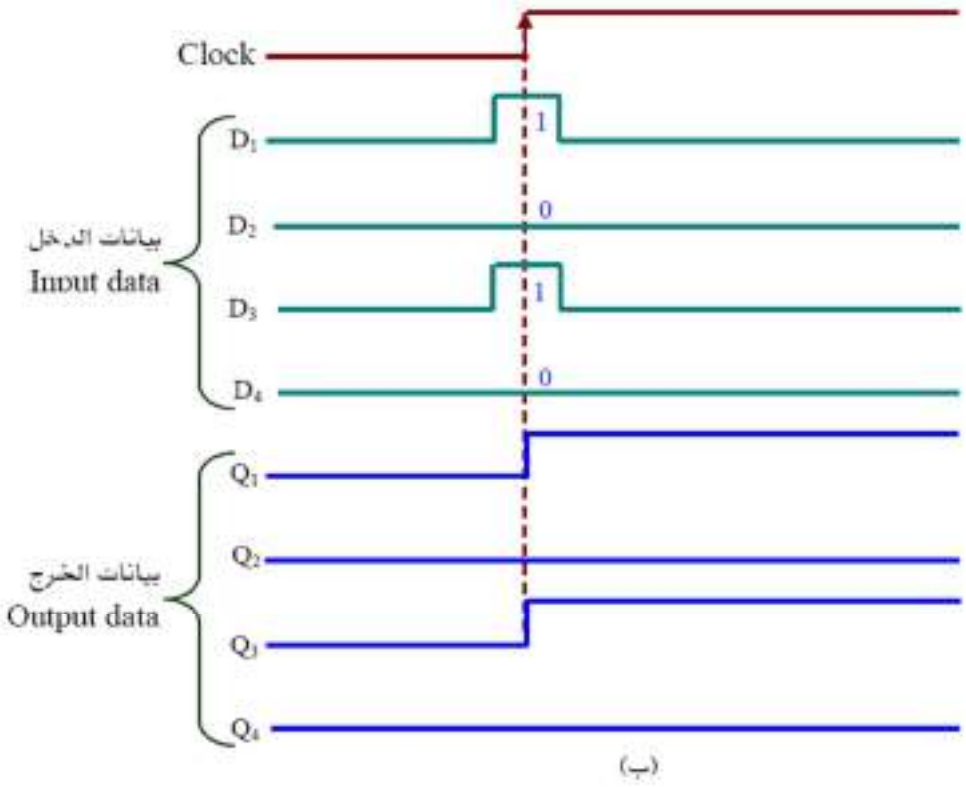
تعتبر المسجلات أحد أنواع الدوائر المنطقية التعاقبية ، وتستخدم المسجلات عادة لتخزين البيانات، ومن دراستنا السابقة للدوائر القلابة وجدنا أنه يمكن تخزين رقم ثنائي مفرد (bit) بواسطة دائرة قلابة مفردة، ومن ثم يمكن توصيل عدد من الدوائر القلابة معاً لبناء ما يعرف بالمسجل، والذي يستخدم كذاكرة مؤقتة لتخزين كمية صغيرة من البيانات ولفترة زمنية قصيرة وذلك تمهيداً لنقلها كما في مسجلات النقل أو العزل (Buffer Register) أو لإزاحة البيانات إلى اليسار (Shift Left) أو اليمين (Shift Right) أو تحويل البيانات المتوالية (Serial Data) إلى بيانات متوازية (Parallel Data) والعكس كما في مسجلات الإزاحة (Shift Registers).

6 -2 -1 مسجلات العزل Buffer Registers

مسجل العزل ببساطة يستخدم لتخزين كلمة رقمية (Digital word) مكونة من مجموعة من الأرقام الثنائية (bits). شكل (6 -1(أ)) يوضح كيفية بناء مسجل عزل مكون من أربع مراحل (4-stages) باستخدام دوائر القلابات من النوع D والتي يتم تنشيطها عند الحافة الموجبة لنبضة التزامن (Positive edge-triggered).



شكل (6 -1(أ)) مسجل عزل مكون من أربع مراحل باستخدام دوائر القلابات من النوع D.



الشكل (6 -1(ب)) المخطط الزمني لمسجل العزل في شكل (6 -1(أ)).

البيانات المطلوب تخزينها والتي تتكون من أربعة أرقام ثنائية (4-bits) تطبق على المداخل D_1, D_2, D_3, D_4 للمسجل وتظهر على المخارج Q_1, Q_2, Q_3, Q_4 عند حدوث أول نبضة تزامن موجبة عند مدخل نبضات التزامن (CK).

وبالرجوع إلى الرسم البياني الزمني في شكل(6 -1(ب)) نرى أن البيانات المراد تخزينها والتي تكون موجودة على خطوط البيانات Q_1, Q_2, Q_3, Q_4 يتم تخزينها أو إدخالها في المسجل عند الحافة الموجبة لنبضة التزامن. هذه البيانات تكون موجودة بصفة مستمرة على الخرج.

وحيث إنه تم إدخال كلمة مكونه من أربعة أرقام ثنائية على التوازي لمدخل المسجل، وتم إخراجها على التوازي أيضاً، لذلك فإن مسجلات العزل غالباً ما تسمى بمسجلات متوازية المدخل -متوازية المخرج (Parallel-in, Parallel-out Registers). ودخل المسح (Clear-input) والمنشط عند الحافة السالبة (active-low) يستخدم لمسح جميع دوائر القلابات (مسح الكلمة فقط).

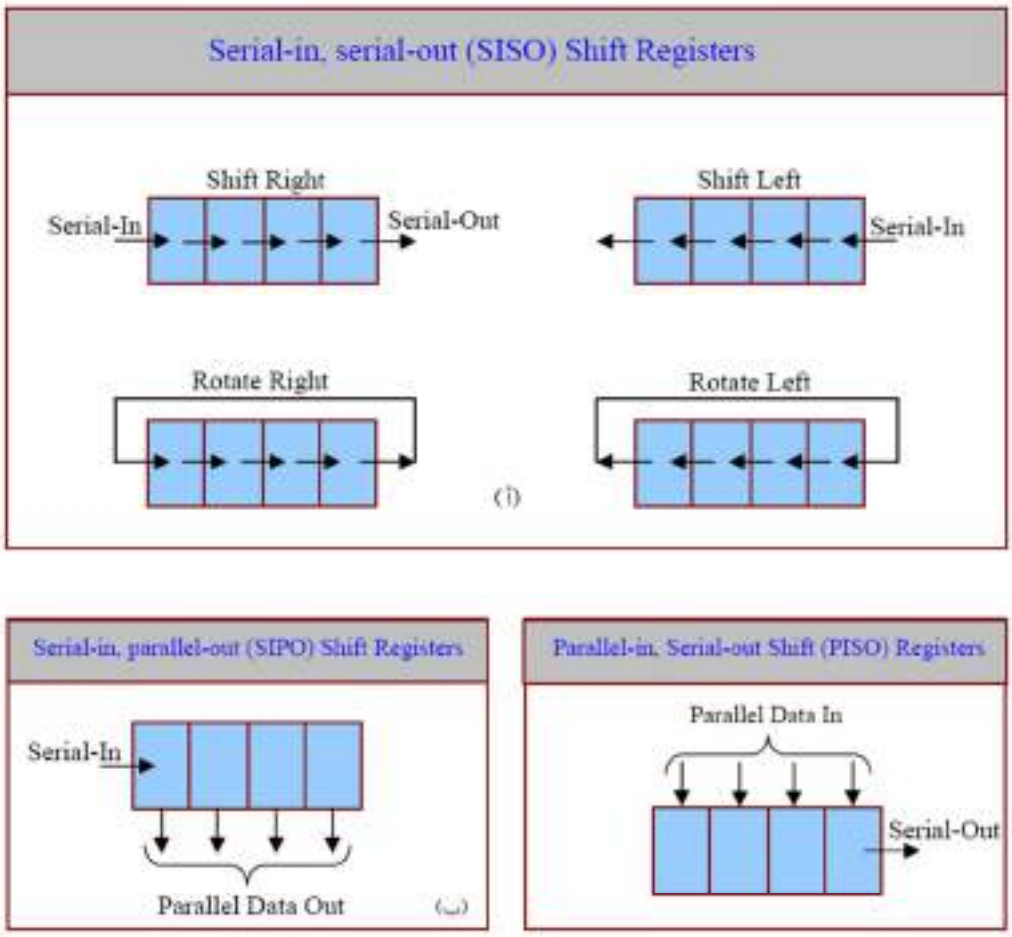
6 -2 -2 مسجلات الإزاحة Shift Registers

مسجل الإزاحة هو مسجل لتخزين البيانات تمهيداً لتحريكها (move) أو إزاحتها (Shift) يساراً أو يميناً. والأنواع الثلاثة الأساسية لمسجلات الإزاحة موضحة بالشكل (6 -2)وهي:

1- مسجلات إزاحة متوالية المدخل – متوالية المخرج (Serial-in, Serial-out Shift Registers) وتكتب اختصاراً (SISO).

2- مسجلات إزاحة متوالية المدخل – متوازية المخرج (Serial-in, Parallel-out Shift Registers) وتكتب اختصاراً (SIPO).

3 - مسجلات إزاحة متوازية المدخل – متوالية المخرج (Parallel-in, Serial-out Shift Registers) وتكتب اختصاراً (PISO).



الشكل (6 -2) تصنيف مسجلات الإزاحة.

ولفهم كيفية تشغيل هذه المسجلات بتفصيل أكثر فلنأخذ بالتفصيل كل نوع من هذه الأنواع الثلاثة على حده:

6 -2 -2 -1 مسجلات الإزاحة المتوالية المدخل – المتوالية المخرج

Serial-in, Serial-out (SISO) Shift registers

فلنبدأ مع جدول (6 -1)، والذي يوضح كيفية عمل مسجل الإزاحة. في هذا المثال نجد أن المسجل يحتوي على البيانات 0110 (محتوى ابتدائي) بينما البيانات الخارجية المتوالية 1001 موجودة على دخل المسجل في انتظار حدوث إزاحة لها.

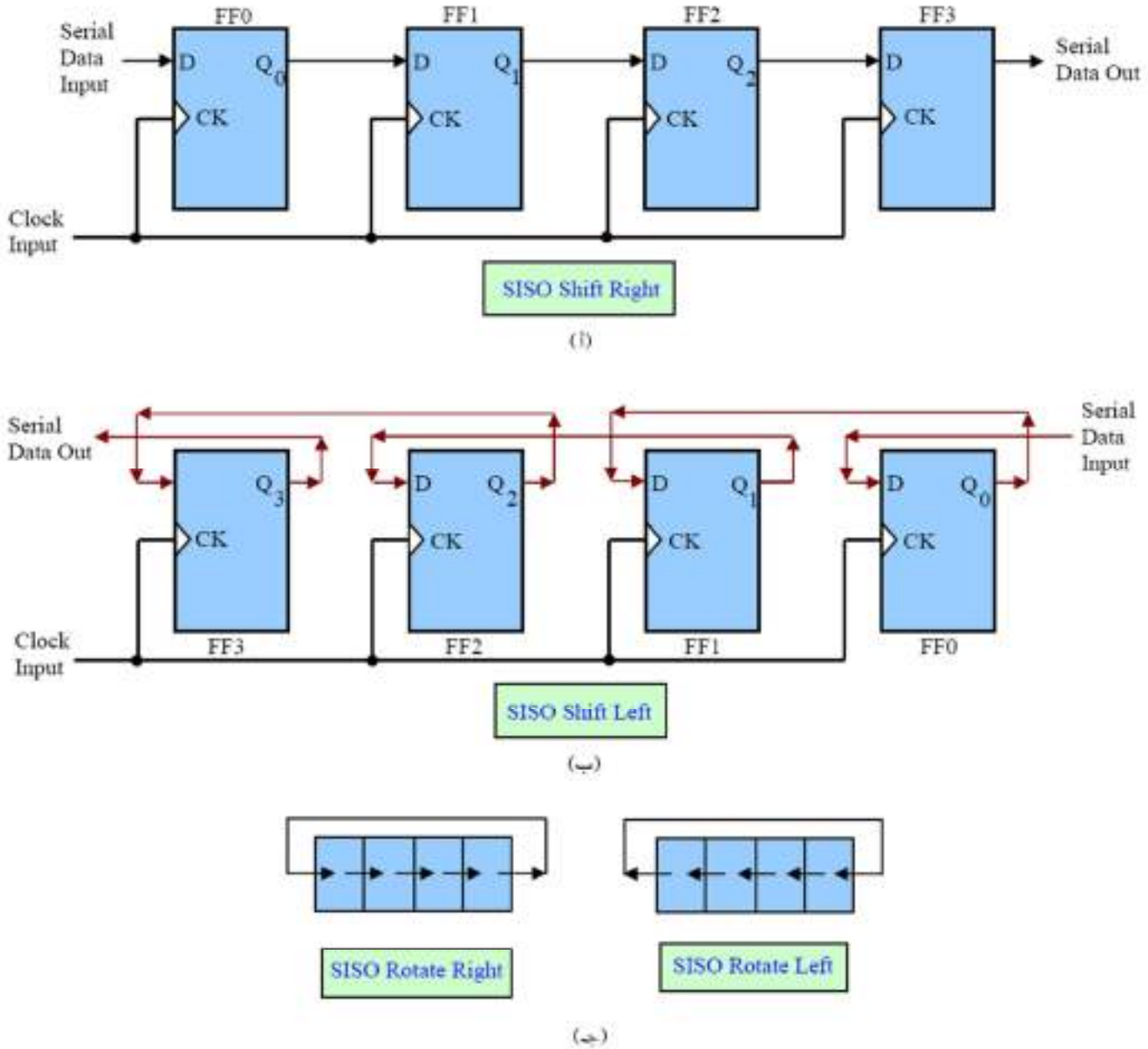
نبضات التزامن	البيانات المراد تخزينها	خرج المسجل			
Clock	Input	Q_0	Q_1	Q_2	Q_3
—	—	0	1	1	0
1st	1	1	0	1	1
2nd	0	0	1	0	1
3rd	0	0	0	1	0
4th	1	1	0	0	1

الجدول (6 -1) كيفية عمل مسجل الإزاحة.

بعد نبضة التزامن الأولى (1st Clock pulse) البيانات المخزونة بالمسجل سوف يحدث لها إزاحة بمقدار خانة واحدة إلى اليمين وفي نفس الوقت فإن الرقم الأول من البيانات الخارجية المتوالية سوف يحدث له إزاحة داخل الخانة الأولى من المسجل. بعد نبضة التزامن الثانية (2nd Clock pulse)، يكون هناك رقمان من الأرقام المخزونة (0110) قد تمت إزاحتها خارج المسجل بينما تم تخزين رقمين من الأرقام الخارجية المتوالية (1001). بعد نبضة التزامن الثالثة، ثلاث إزاحات في اتجاه اليمين تكون قد تمت. وبعد نبضة التزامن الرابعة، فإن البيانات الأصلية المخزونة (0110) تكون قد حدث لها إزاحة خارج المسجل، بينما البيانات المطبقة على الدخل (1001) حدث لها إزاحة بالكامل داخل المسجل وهي الآن مخزنة فيه.

الآن نظرية التشغيل الأساسية لمسجل الإزاحة قد تم فهمها ، وسوف نرى كيف يمكن استخدام دوائر القلابات لبناء دائرة مسجل الإزاحة.

شكل(6 -3(i)) يوضح مسجل إزاحة مكون من أربع مراحل (4-bits) وذلك باستخدام دائرة القلاب من النوع D. البيانات المتوالية يتم إدخالها إلى الطرف D لدائرة القلاب الأولى (FF0)، وخرج دائرة القلاب الأولى (Q_0) يوصل إلى الدخل D لدائرة القلاب الثانية (FF1)، وخرج دائرة القلاب الثانية (Q_1) يوصل إلى الدخل لدائرة القلاب الثالثة (FF2)، وخرج دائرة القلاب الثالثة (Q_2) يوصل إلى الدخل لدائرة القلاب الرابعة (FF3)، وخرج دائرة القلاب الرابعة يمثل الخرج المتوالي النهائي لدائرة المسجل المكون من أربع مراحل.



الشكل (6 -3) مسجل إزاحة إلى اليمين واليسار ودوران يمين ويسار مكون من أربع مراحل.

نبضات التزامن (Clock input) توضع لحظياً على كل دوائر القلابات، ومع كل حافة موجبة (Positive edge) من النبضات يتم إزاحة خانة واحدة (1-bit) من بيانات الدخل إلى المسجل ، وبالتالي فإن مسجل الإزاحة متوالي الدخل – متوالي الخرج يحتاج إلى أربع نبضات تزامن ليتم تسجيل البيانات الأربعة الموجودة على المدخل ، ومن ناحية أخرى فإن هذا المسجل يحتاج إلى أربع نبضات أخرى لإزاحة المعلومات إلى الخارج.

وتلخيصاً لما سبق شرحه، فإن الدائرة الموضحة في شكل (6 -3(أ)) تبين لنا كيفية توصيل عدد أربع دوائر قلابة من النوع D وذلك لبناء مسجل إزاحة إلى اليمين من النوع المتوالي الدخل – المتوالي الخرج (SISO Shift-Right Shift Register). والدائرة الموضحة في شكل (6 -3(ب)) توضح لنا كيفية بناء مسجل إزاحة إلى اليسار مكون من أربع دوائر قلابة من النوع D على شكل متوالي الدخل – متوالي الخرج (SISO Shift- Left Shift Register).

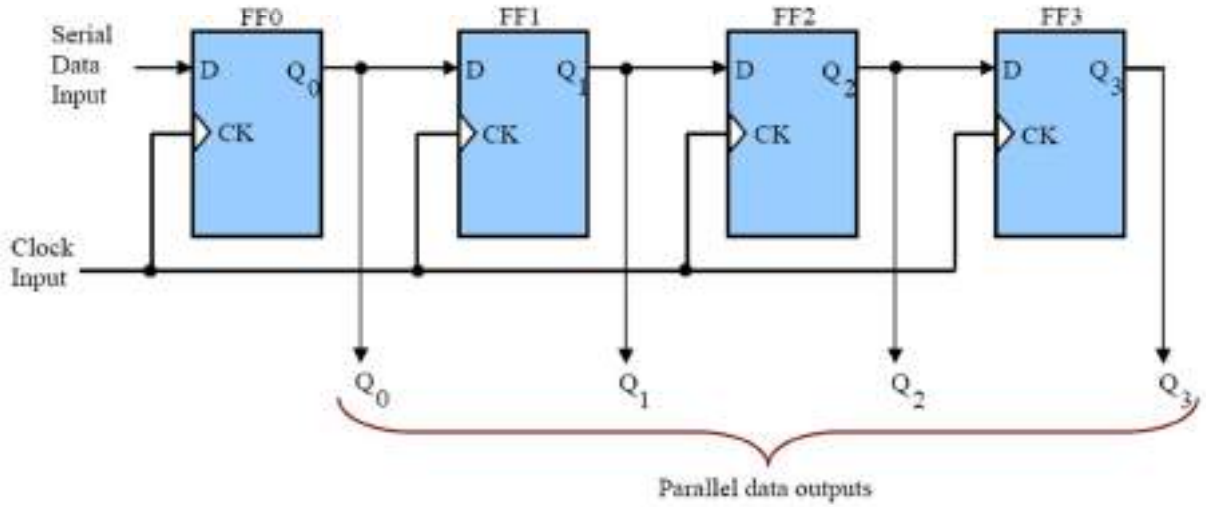
في بعض التطبيقات، البيانات المتوالية في شكل (6 -3(أ))، شكل (6 -3(ب)) يتم توصليها مباشرة للخلف مرة أخرى إلى طرف الدخل المتوالي للمسجل، بمعنى أن البيانات الخارجة يتم تسجيلها مرة أخرى دون أن تُفقد وتسمى هذه العمليات باسم توالي المدخل – توالي المخرج دوران يمين (SISO Rotate-Right) وتوالي المدخل – توالي المخرج دوران يسار (SISO Rotate-Left) وكما هو موضح في شكل (6 -3(جـ)).

6 -2 -2 -2 مسجلات إزاحة متوالية الدخل – متوازية الخرج

Serial-in, parallel out (SIPO) Shift registers

الشكل (6 -4) يوضح النوع الثاني من مسجلات الإزاحة والذي يسمى بمسجل الإزاحة متوالي الدخل – متوازي الخرج.

ولإدخال البيانات في هذا المسجل، يتم تطبيق البيانات المتوالية والمكونة من (4-bits) على مدخل البيانات على التوالي (Serial data input) ويتم إزاحتها تحت التحكم في نبضات الدخل المتزامنة (إزاحة واحدة في اتجاه اليمين لكل نبضة).



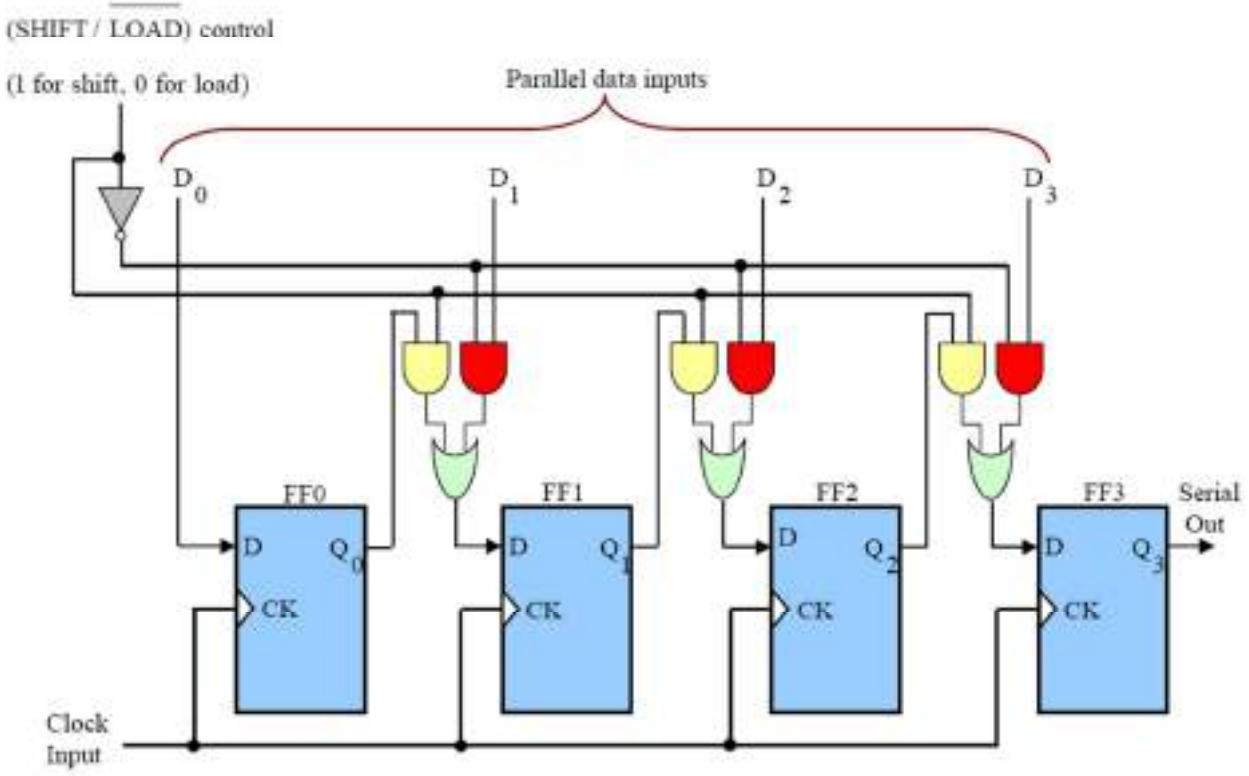
الشكل (6 -4) مسجل إزاحة متوالي الدخل -متوازي الخرج.

ولإدخال أو تخزين كلمة مكونة من أربعة أرقام (4-bits) على التوالي داخل هذا المسجل فإننا نحتاج إلى أربع نبضات تزامن. البيانات المخزونة داخل مسجل الإزاحة تكون موجودة على المخارج الأربعة (Q_3,Q_2,Q_1,Q_0) كأربعة أرقام (4-bits) خرج على التوازي.

6 -2 -2 -3 مسجلات إزاحة متوازية الدخل – متوالية الخرج

Parallel-in, Serial-out (PISO) Shift registers

شكل (6 -5) يوضح كيف يمكن بناء مسجل مكون من أربع مراحل من النوع متوازي الدخل – متوالي الخرج وذلك باستخدام دوائر القلابات من النوع D. يتم التحكم في الدائرة عن طريق طرف تحكم الدخل $SHIFT/\overline{LOAD}$. عندما يكون طرف التحكم $SHIFT/\overline{LOAD}$ في الوضع (Low)، فإن جميع البوابات AND المظللة باللون الأحمر تكون نشطة (Enabled) نتيجة لعكس إشارة التحكم هذه عن طريق العاكس Inverter المظلل. هذه البوابات الفعالة تعمل على توصيل البيانات من خطوط الدخل للبيانات (D_3,D_2,D_1,D_0) إلى مداخل البيانات على دوائر القلابات. عند وصول نبضة التزامن (Clock pulse)، فإن هذه البيانات سوف يتم تخزينها داخل المسجل وتظهر على المخارج (Q_3,Q_2,Q_1,Q_0).



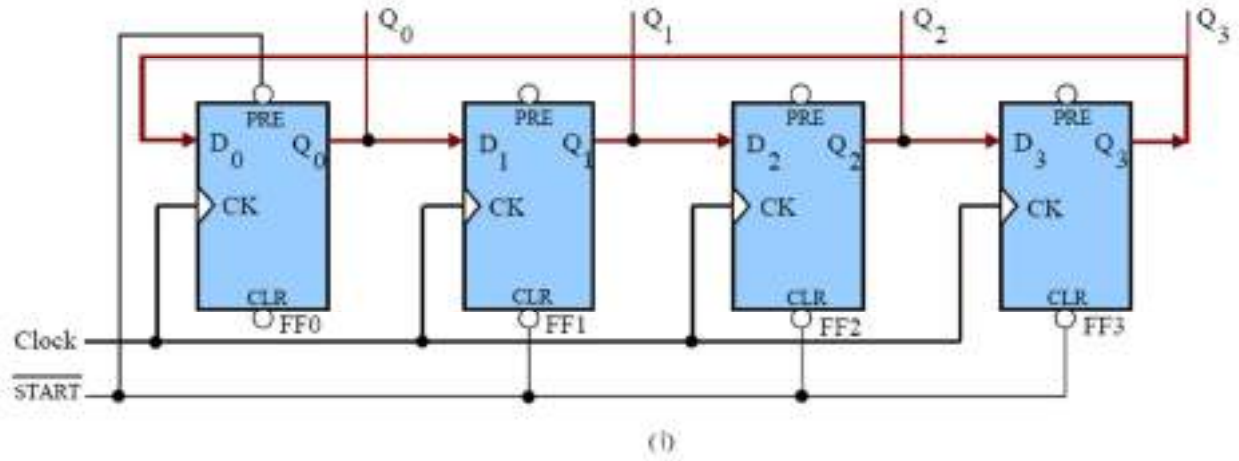
الشكل (6 -5) مسجل إزاحة متوازي الدخل -متوالي الخرج.

وعندما يكون طرف التحكم SHIFT/$\overline{LOAD}$ في الوضع (High)، فإن جميع البوابات AND المظللة باللون الأصفر تكون فعالة أو نشطة (Enabled). هذه البوابات الفعالة توصل الخرج Q_0 إلى الدخل D لدائرة القلاب الثانية (FF1)، وتوصل الخرج Q_1 إلى الدخل لدائرة القلاب الثالثة (FF2)، وكذلك توصيل الخرج Q_2 إلى دخل دائرة القلاب الرابعة (FF3). وفي هذا الوضع، فإن البيانات المخزنة داخل مسجل الإزاحة سوف تحدث لها إزاحة جهة اليمين وبمقدار خانة واحدة (1-bit) مع كل نبضة من نبضات التزامن الموجودة على الدخل (clock input).

6 -2 -2 -4 مسجل الإزاحة المتتابع (عداد حلقي) Shift Register Sequencer (Ring Counter)

شكل (6 -6(أ)) يوضح كيفية توصيل مسجل الإزاحة على شكل عداد حلقي وذلك بتوصيل خرج الدائرة القلابة (FF3) إلى دخل الدائرة القلابة FF0 (توصيل الخرج Q_3 بالدخل D_0).

هذه الخاصية الدائرية أو الحلقية تجعل انتقال البيانات داخل مسجل الإزاحة في شكل دائري أو حلقي. فعندما يكون خط التحكم $\overline{SRART}$ في المستوى Low فإن الخرج Q_0 سوف يصبح في المستوى High ($\overline{PRE}=0$)، والمخارج Q_1,Q_2,Q_3 في المستوى Low ($\overline{CLR}=0$) كما هو موضح في رسم النبضات في شكل (6 -6(ب)).



الشكل (6 -6(أ)) كيفية توصيل مسجل الإزاحة على شكل عداد حلقي.

مسجلات ذات اتجاهين للإزاحة (Bidirectional Shift Registers)

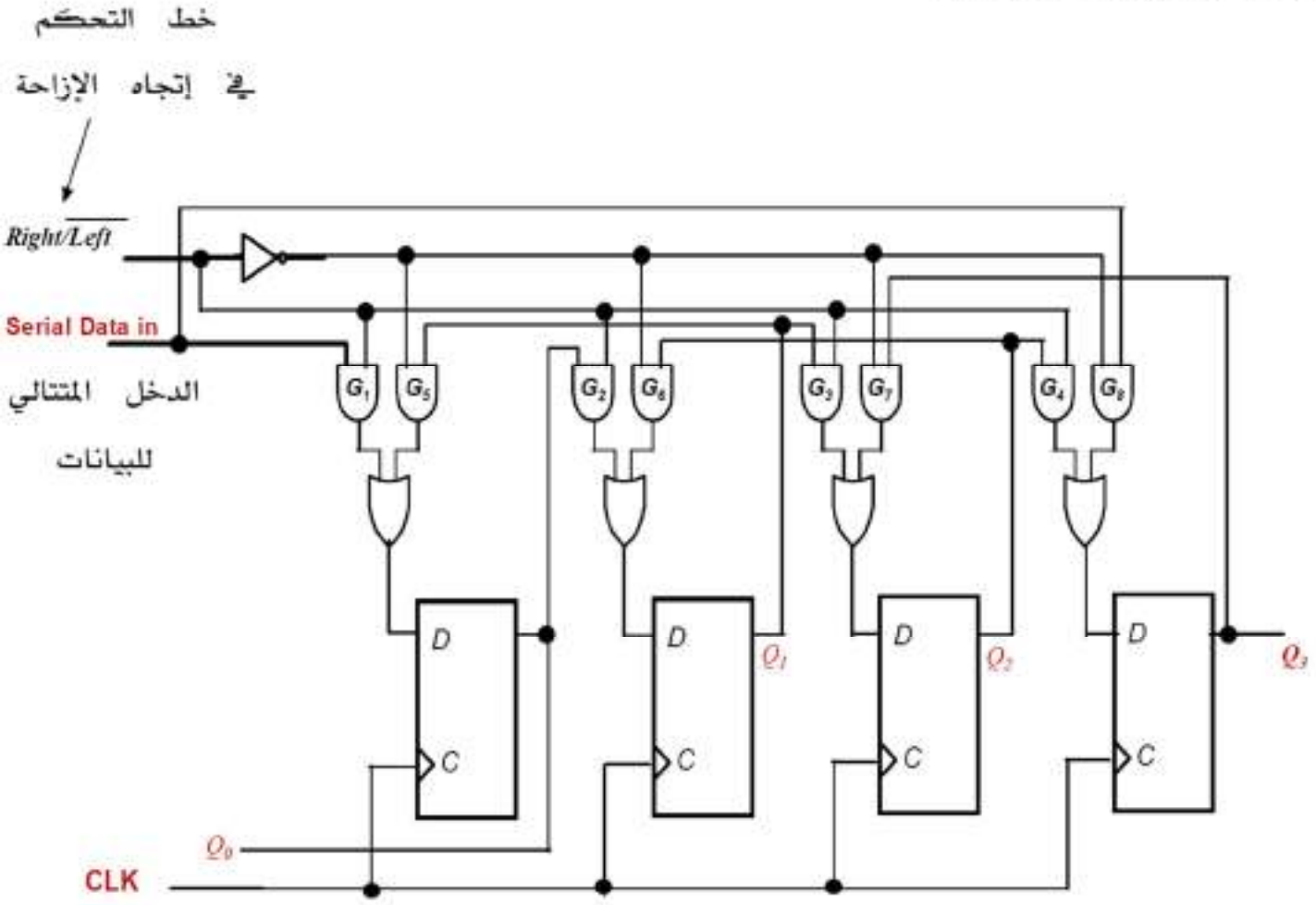
يعتبر مسجل الإزاحة ذو اتجاهين من المسجلات التي لها إمكانية إزاحة البيانات إلى اليمين أو إلى اليسار وهذا باستخدام بوابات منطقية تتحكم في اتجاه الإزاحة.

يوضح الشكل (٦ -١٨) مسجل إزاحة سعته أربعة بتات والذي يعمل على النحو التالي:

عندما يكون خط التحكم $Right/\overline{Left}$ على المستوى High تتحقق عملية إزاحة البيانات لليمين وعندما يكون هذا الخط على المستوى Low فإنه يحقق عملية الإزاحة لليسار.

لأن قيمة $Right/\overline{Left}=1$ تؤدي إلى تمكين البوابات G_1، G_2، G_3، G_4 وهذا يؤدي إلى توصيل أي خرج قلاب بالدخل الذي يليه أو يتبعه وعند حدوث أي نبضة للساعة Clock تتم عملية إزاحة البيانات بخانة واحدة لليمين.

أما قيمة $Right/\overline{Left}=0$ فإنها تؤدي إلى تمكين البوابات G_5، G_6، G_7، G_8 مما يؤدي إلى توصيل أي خرج قلاب بالدخل الذي يسبقه وعند حدوث أي نبضة للساعة Clock تتم عملية إزاحة البيانات بخانة واحدة لليسار.



ثالثا : الاختبار الذاتي Self test

أ- ضع دائرة حول الحرف الذي يسبق الاجابة الصحيحة لكل مما يأتي:

1- لديك سجل إزاحة نوع دخول توالي فيه تردد نبضة الساعة (100KHz) ، فإن الوقت اللازم لإدخال معلومة تتكون من ثمان مراتب هو :

a- (80μ S) b- (8μ S) c- (80 mS) d- (10μ S)

2- لديك سجل إزاحة نوع دخول توازي فيه تردد نبضة الساعة (1MHz) ، فإن الوقت اللازم لإدخال معلومة تتكون من ثمان مراتب هو :

a- (8μ S) b- حسب زمن التأخير للهزازات الثمان c- (1 mS) d- حسب زمن التأخير لهزاز واحد

3- يحتاج عداد جونسون ذو معامل (10) الى :

a- عشرة هزازات b- أربعة هزازات c- خمسة هزازات d- اثنا عشر هزاز

4- يحتاج العداد الحلقي ذو معامل (10) الى :

a- عشرة هزازات b- خمسة هزازات c- أربعة هزازات d- اثنا عشر هزاز

5- لديك سجل إزاحة نوع دخول توالي _ خروج توالي ذو ثمان مراتب فيه زمن التأخير (24 S) ، فإن تردد نبضة الساعة هو :

a - (41.67KHz) b - (333KHz) c - (125KHz) d - (8MHz)

ب- ضع علامة صح أمام العبارة الصحيحة وعلامة خطأ أمام العبارة الخاطئة لكل مما يأتي :

1- يتكون سجل الإزاحة من مجموعة من الهزازات .

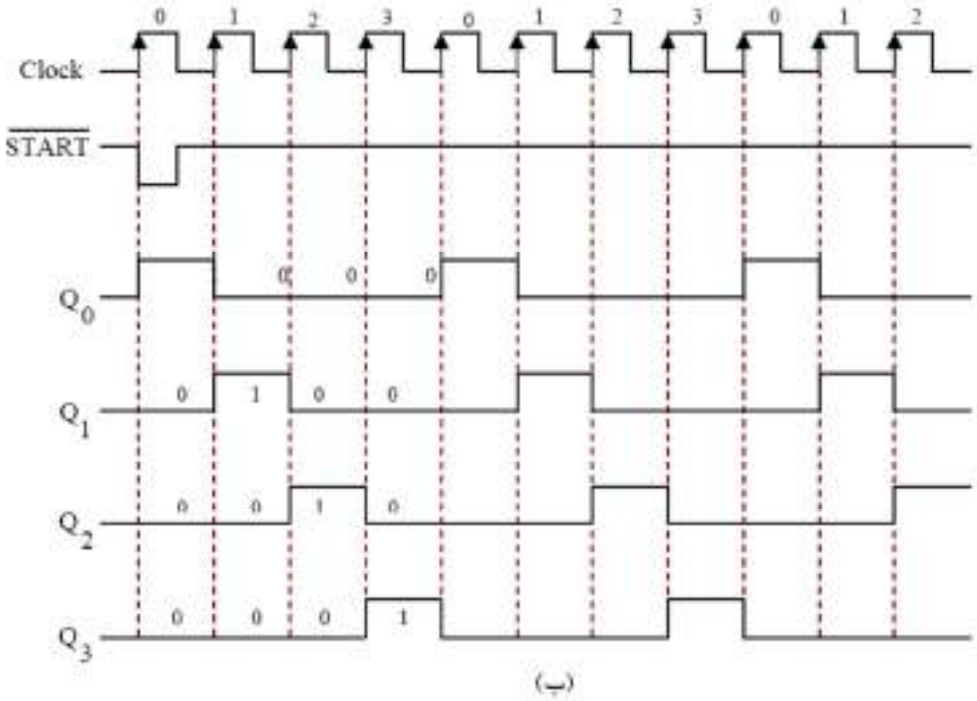
2- لسجل الإزاحة وظيفتان هما تحريك البيانات وخزن البيانات .

3- في سجل الإزاحة نوع دخول توالي تدخل عدة مراتب من البيانات (Bits) في نفس اللحظة .

4- يمكن أن يحتوي سجل الإزاحة الواحد على نوعين من الإخراج هما إخراج توازي و إخراج توالي .

ج- ارسم دائرة سجل الإزاحة نوع دخول توازي - خروج توازي ذو أربع مراحل (توازي - توازي) .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.



الشكل (6 -6(ب)) نبضات الخرج للعداد الحلقي.

Clock Pulses	خرج العداد			
	Q_0	Q_1	Q_2	Q_3
0	1	0	0	0
1	0	1	0	0
2	0	0	1	0
3	0	0	0	1

Four flip-flops will have Four output states.

Repeat Sequence

الجدول (6 -2) جدول الحقيقة للعداد الحلقي.

الكلمة المسجلة الآن أصبحت (1000) سوف تحدث لها إزاحة جهة اليمين مع كل نبضة تزامن، والوحد (1) الموجود في الكلمة المسجلة سوف يزاح بشكل دائري داخل المسجل كما هو موضح بجدول الحقيقة في جدول (6 -2).

6 -2- 2- 5- عداد جونسون Johnson Counter

شكل (6 -7(أ)) يبين دائرة مسجل إزاحة موصلة على هيئة عداد جونسون، وكما نرى أن عداد جونسون يتم بناؤه تماماً بنفس طريقة العداد الحلقي فيما عدا أن الخرج المعكوس لآخر دائرة قلابة ($\overline{Q}_3$) هو الذي يوصل بدخل الدائرة القلابة (D_0).

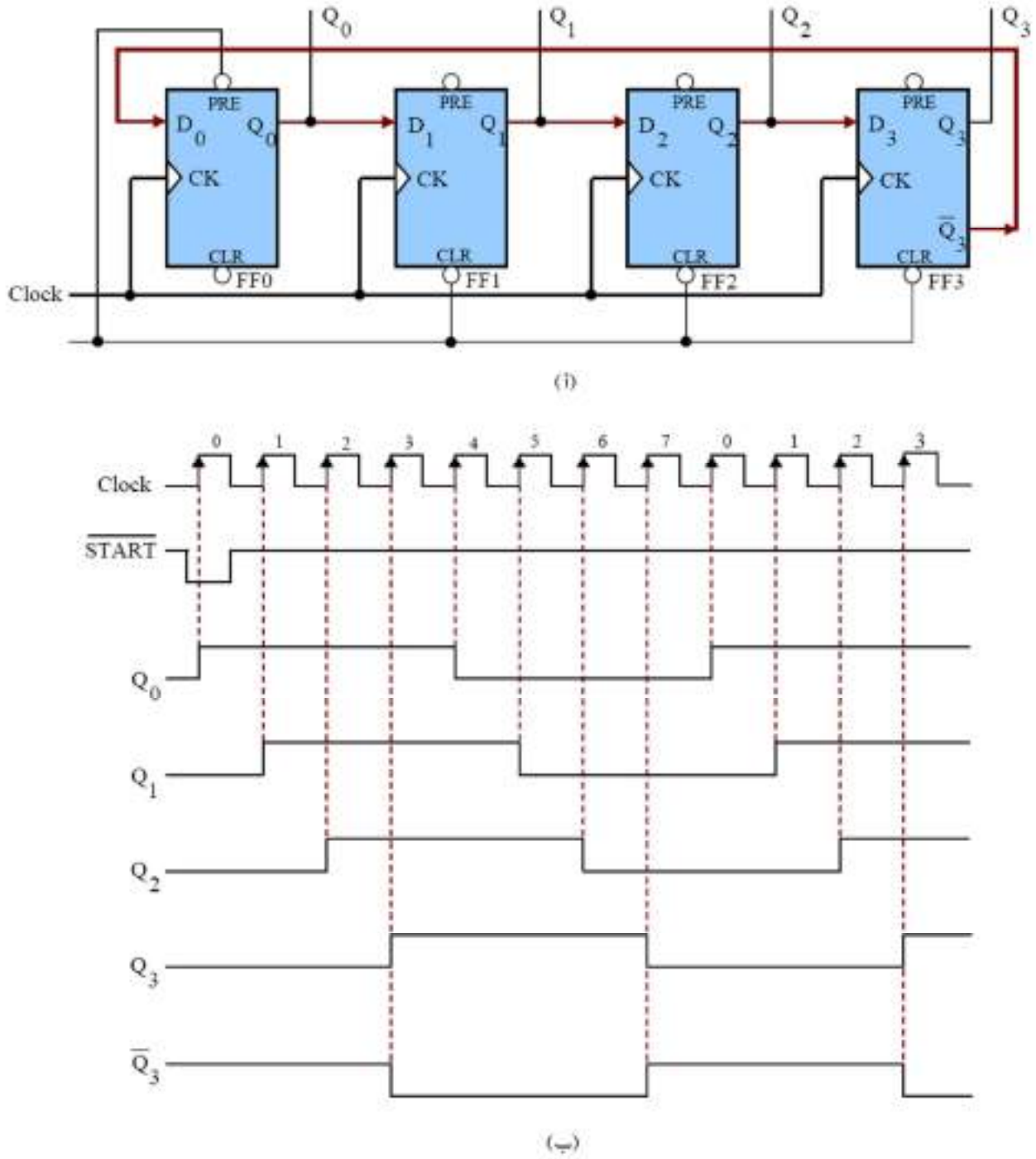
ومثل العداد الحلقي، فإن عداد جونسون يحتاج إلى تجهيز الخرج الابتدائي للدائرة كما نرى من شكل النبضات في شكل (6 -7(ب)) وجدول الحقيقة في الجدول (6 -3)، وهو 1000، وبما أن Q_3 في المستوى (Low) عند البداية، فإن $\overline{Q}_3$ سوف تكون في المستوى (High) وهذا المستوى سوف يعاد تغذيته إلى الدخل D_0، وبالتالي فإن الدخول ذات المستويات العالية (High inputs) يتم إدخالها داخل مسجل الإزاحة من اليسار إلى اليمين إلى أن يصبح خرج جميع دوائر القلابات يساوي (High). وعندما تصبح Q_3 عند المستوى (High) (بعد نبضة التزامن الثالثة)، $\overline{Q}_3$ سوف يكون عند المستوى (Low)، وبالتالي فإن D_0 تصبح أيضاً (Low). مسجل الإزاحة الآن سوف يبدأ في عمل إزاحة لهذه المستويات المنخفضة (Low inputs) من اليسار إلى اليمين إلى أن يصبح خرج جميع دوائر القلابات يساوي (Low). وعندما تصبح Q_3 عند المستوى (Low) (بعد نبضة التزامن السابقة)، $\overline{Q}_3$ سوف يكون عند المستوى (High) وبالتالي فإن D_0 تصبح أيضاً (High) مما يتسبب في تكرار دورة الإزاحة مرة أخرى وهكذا.

Clock Pulses	خرج العداد				
	Q_0	Q_1	Q_2	Q_3	$\overline{Q}_3$
0	1	0	0	0	1
1	1	1	0	0	1
2	1	1	1	0	1
3	1	1	1	1	0
4	0	1	1	1	0
5	0	0	1	1	0
6	0	0	0	1	0
7	0	0	0	0	1

Four flip-flops will have eight output states.

Repeat Sequence

الجدول (6 -3) جدول الحقيقة لعداد جونسون.



الشكل (6 -7) توصيل مسجل الإزاحة على شكل عداد جونسون مع رسم المخطط الزمني له.

في العداد الحلقي يكون عدد حالات الخرج المختلفة محكومة بعدد الدوائر القلابة في المسجل، وبناء عليه فإن العداد الحلقي المكون من أربعة مراحل سوف يعطي أربعة حالات مختلفة للخرج (كما في جدول (6 -2)). في عداد جونسون يكون عدد حالات الخرج المختلفة يساوي ضعف عدد الدوائر القلابة في المسجل، ففي الدائرة الموضحة في شكل (6 -7(i)) يكون لدينا ثماني حالات مختلفة للخرج (2 × 4 flip-flops = 8) كما في جدول (6 -3).

رابعا : الاختبار البعدي Post test

أ- ارسم دائرة سجل الإزاحة نوع دخول توالي- خروج توالي ذو أربع مراحل (توالي - توالي) تتحرك فيه البيانات نحو اليمين .

ب- ارسم دائرة سجل الإزاحة نوع دخول توالي- خروج توالي ذو أربع مراحل (توالي - توالي) تتحرك فيه البيانات نحو اليسار .

ج- ضع علامة صح أمام العبارة الصحيحة وعلامة خطأ أمام العبارة الخاطئة لكل مما يأتي :

1- يستطيع سجل الإزاحة المكون من أربع مراحل أن يخزن عدد مقداره (15) كحد أقصى .

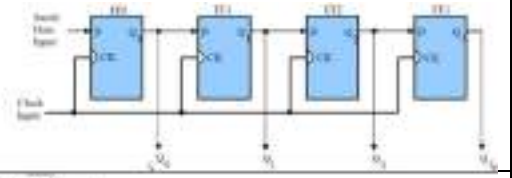
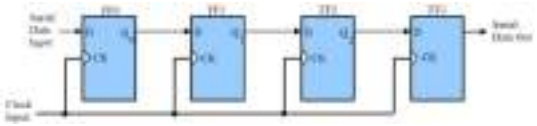
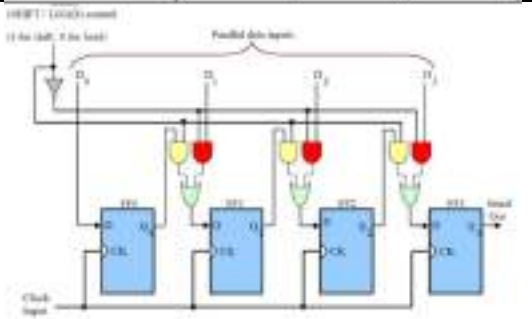
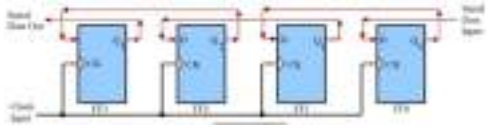
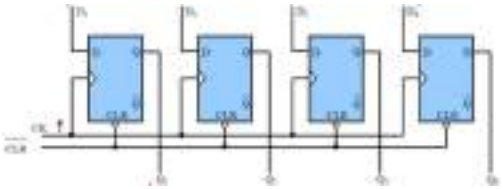
2- عداد جونسون هو نوع خاص من سجلات الإزاحة .

3- ان معامل العد لعداد جونسون والمكون من ثمان مراتب (Bits) هو (8) .

4- يمكن أن يستخدم سجل الإزاحة كمؤخر زمني (time delay) .

الاجوبة

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

ثالثا : مفاتيح الاجابة على الاختبارات					
الاختبار القبلي Pre test		الاختبار الذاتي Self test		الاختبار البعدي Post test	
رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة
أ		أ	a -1 d -2 c -3 a -4 b -5	أ	
ب		ب	-1 صح -2 صح -3 خطأ -4 صح	ب	
		ج		ج	-1 صح -2 صح -3 خطأ -4 صح
ج	b -1 c -2 a -3 c -4				

المصادر (References) :

1- الالكترونيك الرقمي الحديث ترجمة ((ضياء مهدي فارس وآخرون)).1991.
2- Digital Principles &Application
3- Digital computer fundamentals (thematic bartee))
4- Introduction to Digital computer((louis mashelsky))
5- Modern Digital electronics (R.P.Jain
6- الالكترونيك الرقمي وتطبيقاته ((تأليف: مالفينو)).

(المحاضرة الخامسة و العشرون) : الذاكرة (Memory)

أولا : النظرة الشاملة (Overview)

أ-الفئة المستهدفة Target Population

طلبة المرحلة: الاولى في المعهد التقني/ النجف - قسم انظمة الحاسوب

ب-مبررات المحاضرة وموضوعاتها Rationale

بالنظر لاهمية الذاكرة في الحاسبات الالكترونية و معظم الاجهزة والمنظومات الرقمية .
فقد صممت هذه المحاضرة لكي يتعرف الطالب على وصف الذاكرة و سعتها و أهم أنواع دوائر الذاكرة .

ج- الأفكار المركزية Central Ideas

اولا: دوائر الذاكرة نوع RAM (DRAM,SRAM) .
ثانيا: دوائر الذاكرة نوع ROM.
ثالثا: دوائر الذاكرة نوع PROM.
رابعا: دوائر الذاكرة نوع EPROM.
خامسا: دوائر الذاكرة نوع EEPROM .

د- أهداف المحاضرة Objectives

سيكون الطالب بعد دراسته لهذه المحاضرة قادرا على أن :
- يتعرف على انواع دوائر الذاكرة .
- يحدد الفروق بين الانواع المختلفة لدوائر الذاكرة .

ثانيا- الاختبار القبلي Pre test

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة، فاذا حصلت على نسبة اجابة اكثر من 75٪ فأنت لست بحاجة لهذه المحاضرة ، اما اذا حصلت على اقل من ذلك فانتقل الى الخطوة التالية: (نص المحاضرة)

ضع علامة صح أمام العبارة الصحيحة و علامة خطأ أمام العبارة الخاطئة

1- يتكون البايت من ثمان مراتب (bits) .
2- تستطيع خلية الذاكرة أن تخزن بايت واحد من البينات .
3- عملية الكتابة تخزن البيانات في الذاكرة .
4- عملية القراءة تمسح البيانات المقروءة .
5- ذاكرة RAM هي ذاكرة الدخول العشوائي

وحدة الذاكرة :

تتكون الذاكرة من سلسلة كبيرة من مواضع الخزن (سجلات registers او تسمى كلمات Words) حيث يخصص عنوان خاص لكل موضع خزن (سجل او كلمة) يختلف عن المواقع الاخرى .

تقسم الذاكرة الى قسمين رئيسيين :

أ- الذاكرة الرئيسية : تستخدمها وحدة المعالجة المركزية لخزن البرامج (البيانات والايعازات) وتنفيذها وخزن النتائج الوسطية الناتجة من عمليات المعالجة واسترجاعها عند اللزوم .

تقسم الذاكرة الرئيسية الى قسمين :

1- ذاكرة القراءة والكتابة (RAM) و 2- ذاكرة القراءة فقط (ROM)

1- ذاكرة القراءة والكتابة (RAM) : وتكون زائلة (أي تزول محتوياتها عند انقطاع المصدر الكهربائي وهنالك نوعان منها :

A- الذاكرة الاستاتيكية : تتكون من هزازات وتخزن المراتب (bits) على شكل فولتية .
B- الذاكرة الديناميكية : تتكون من ترانزستورات نوع (mos) وتخزن المراتب على شكل شحنة .

فوائد الذاكرة الديناميكية هي امكانية تواجد عد كثيف من المراتب (bits) داخل IC وهي اسرع من النوع الاول (الاستا تيكي) .

اما مساويئها فهي ان الشحنة التي تمثل المراتب تضمحل لذا يجب قراءة او كتابة المعلومات مرة ثانية لكل بضعة مليمات من الثانية (1000/1 من الثانية) وتدعى هذه العملية ب (انعاش الذاكرة refreshing memory) حيث تحتاج الى دوائر اضافية .

2- ذاكرة القراءة فقط (Read Only Memory = ROM) : تكون ثابتة وغير زائلة (تحتفظ بالمعلومات حتى لو قطع المصدر الكهربائي) .
وهنالك عدة انواع منها :

A- ذاكرة القراءة فقط القابلة للبرمجة (PROM = Programmable Read Only Memory ROM) : حيث يمكن برمجتها من قبل المبرمج لمرة واحدة فقط وتكون بعد ذلك محتوياتها ثابتة ولايمكن تغييرها او مسحها .

B- ذاكرة القراءة فقط القابلة للبرمجة والمسح (EPROM = Erasable Programmable Read Only Memory) : حيث يمكن برمجتها من قبل المبرمج (أي الكتابة عليها) ثم مسحها وذلك بتعريضها الى الاشعة فوق البنفسجية وبكثافة معينة ولزمن محدود وعند اكمال عملية المسح يمكن برمجتها مرة اخرى وهكذا .....

C- ذاكرة القراءة فقط القابلة للبرمجة والمسح كهربائيا (EEPROM = Electrically Erasable Programmable Read Only Memory) : وهي تشبه وظيفيا ذاكرة (EPROM) السابقة ماعدا ان المعلومات يمكن تغييرها على مستوى السجل بدلا من مسح كل المعلومات مرة واحدة كما في النوع السابق وذلك باستعمال اشارات كهربائية .

ثالثا : الاختبار الذاتي Self test

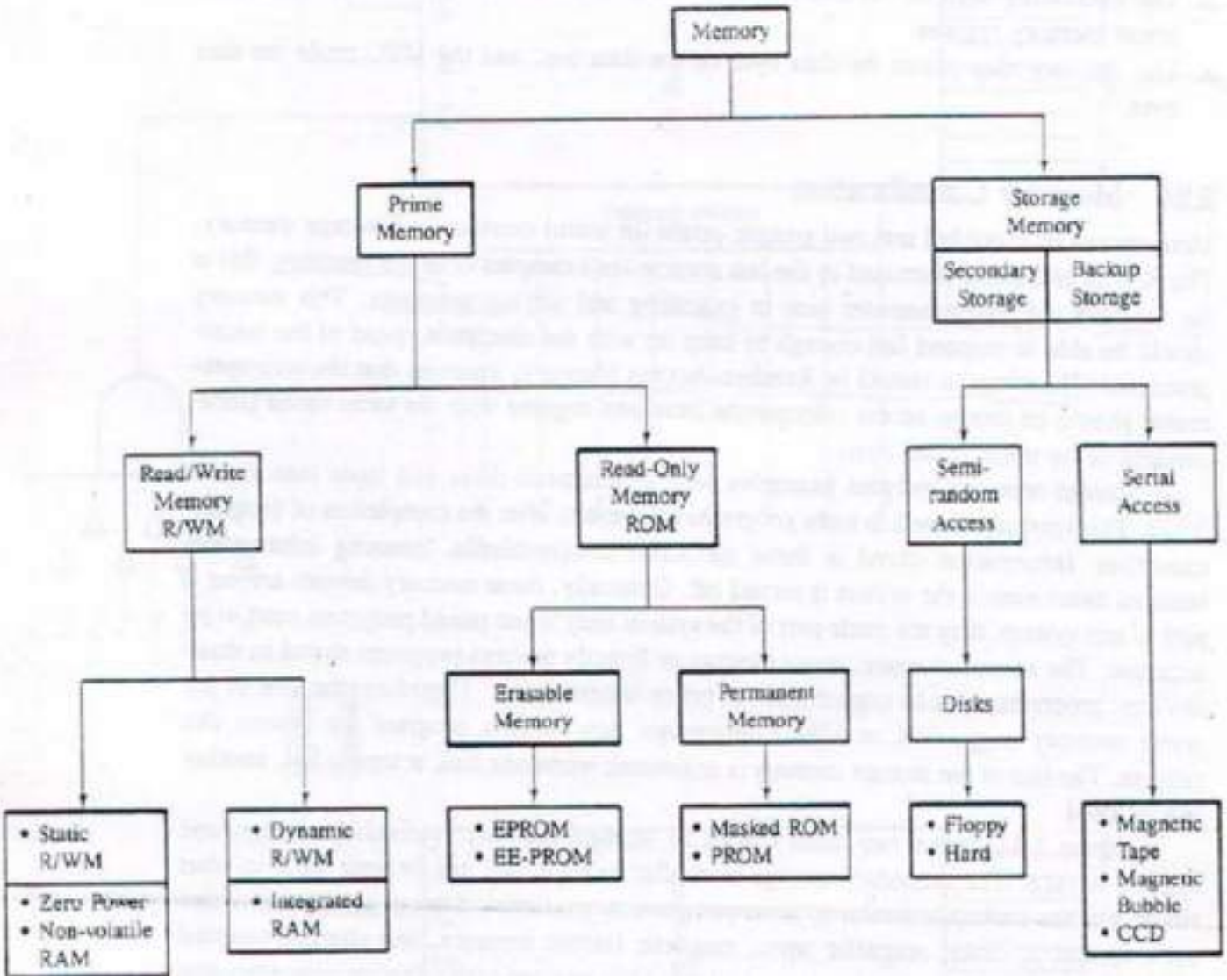
ضع علامة صح أمام العبارة الصحيحة و علامة خطأ أمام العبارة الخاطئة

1- البيانات المخزونة في ذاكرة RAM العشوائية تفقد إذا انقطعت الطاقة الكهربائية عنها .
2- تستخدم ذاكرة (Cache) لخزن البيانات بشكل مؤقت .
3- يتم إنعاش ذاكرة RAM الديناميكية باستمرار لكي تبقى محتفظة بالبيانات .
4- ذاكرة ROM هي ذاكرة الخروج العشوائي .
5- تستخدم ذاكرة (Flash) الحزمة الضوئية لخزن البيانات .

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة.

B – الذاكرة الثانوية (secondary memory) :

وتدعى احيانا بالذاكرة المساعدة حيث ترتبط بوحدة المعالجة المركزية (CPU) مباشرة وتقوم باستقبال البيانات وارجاعها الى وحدة المعالجة المركزية (CPU) .
يستخدم في الذاكرة الثانوية : الاقراص المغناطيسية والاشرطة المغناطيسية والاقراص الليزرية (CD و DVD) .


Memory
Prime Memory
Storage Memory
Secondary Storage
Backup Storage
Read/Write Memory R/WM
Read-Only Memory ROM
Semi-random Access
Serial Access
Erasable Memory
Permanent Memory
Disks
• Static R/WM
• Zero Power Non-volatile RAM
• Dynamic R/WM
• Integrated RAM
• EPROM
• EE-PROM
• Masked ROM
• PROM
• Floppy
• Hard
• Magnetic Tape
• Magnetic Bubble
• CCD

رابعا : الاختبار البعدي Post test

إختر الإجابة الصحيحة فيما يأتي :

1- لديك ذاكرة تتكون من 1024 عنوان ومحتوى كل عنوان يتكون من بايت واحد فإن عدد المراتب (Bits) في هذه الذاكرة هو :

a - 1024 b - 8192 c - 8 d - 4096

2- تتكون الكلمة (word) ذات 32 مرتبة (Bit) من :

a - 2 bytes b - 4 nibbles c - 4 bytes

d - 3 bytes

3- تخزن البيانات في ذاكرة RAM أثناء :

a - عملية القراءة b - عملية التمكين (Enable) c - عملية الكتابة d - عملية العنونة

4- تفقد البيانات المخزونة من محتوى أحد عناوين ذاكرة RAM عند :

a - انقطاع الطاقة الكهربائية b - قراءة البيانات من ذلك العنوان c - كتابة بيانات جديدة في ذلك العنوان d - الإجابتين (a) و (c) معا .

5- ذاكرة ROM هي :

a - ذاكرة غير زائلة b - ذاكرة زائلة c - ذاكرة قراءة وكتابة d - ذاكرة دخول عشوائي

6- الذاكرة التي تحتوي على (256) عنوان تحتاج الى :

a - (256) خط للعنوان b - (6) خطوط للعنوان c - خط واحد للعنوان d - (8) خطوط للعنوان

7- تتكون خلية الخزن في ذاكرة RAM الاستاتيكية (SRAM) من :

a - هزاز b - متسعة c - فيوز d - ترانزستور

8- الذاكرة الديناميكية (DRAM) ينبغي أن :

a - تستبدل بشكل دوري b - يتم إنعاشها بشكل دوري c - يتم تمكينها (Enable) بشكل دائمي . d - يتم برمجتها في كل مرة يراد استخدامها

9- الذاكرة (Flash memory) هي: a - ذاكرة زائلة b - ذاكرة قراءة فقط c - ذاكرة قراءة وكتابة d - ذاكرة غير زائلة e- الاجابتين (a وc)معا f- الاجابتين (c وd)معا .

ثالثا : مفاتيح الاجابة على الاختبارات					
الاختبار القبلي Pre test		الاختبار الذاتي Self test		الاختبار البعدي Post test	
رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة
1	صح	1	صح	1	b
2	خطأ	2	صح	2	C
3	صح	3	صح	3	C
4	خطأ	4	خطأ	4	d
5	خطأ	5	خطأ	5	A
6		6		6	D
7		7		7	A
8		8		8	B
9		9		9	F
10		10		10	

المصادر (References) :

6- الالكترونيك الرقمي الحديث ترجمة ((ضياء مهدي فارس وآخرون)).1991.
7- Digital Principles &Application
8- Digital computer fundamentals (thematic bartee))
9- Introduction to Digital computer((louis mashelsky))
10- Modern Digital electronics (R.P.Jain
6- الالكترونيك الرقمي وتطبيقاته ((تأليف: مالفينو)).

(المحاضرات السادسة والعشرون – الثلاثون)

التحويل من رقمي الى نظيري وبالعكس(ADC & DAC)

أولا : النظرة الشاملة (Overview)

أ - الفئة المستهدفة Target Population

طلبة المرحلة: الاولى في المعهد التقني/ النجف – قسم الالكترونيك

ب - مبررات المحاضرة وموضوعاتها Rationale

ان أغلب عمليات السيطرة الالكترونية في المصانع والورش وفي منظومات الاتصالات والاجهزة المراد السيطرةعليها بواسطة الحاسوب لاتكون اشاراتها بهيئة رقمية وانما تكون بهيئة نظيرية لذلك يتطلب استخدام دوائر الكترونية تحول الاشارات من هيئة رقمية الى هيئة نظيرية وبالعكس لغرض ربطها بالحاسبة . وتدعى هذه الدوائر الالكترونية بمحولات الاشارة .
وقد صممت هذه المحاضرات لكي يتعرف الطالب على دوائر التحويل من رقمي الى نظيري وبالعكس .

ج- الأفكار المركزية Central Ideas

أولا : التحويل من رقمي الى نظيري .
ثانيا : تحديد الدقة والاحكام للدائرة .
ثالثا : التحويل من نظيري الى رقمي
رابعا : التحويل من رقمي الى نظيري باستخدام طريقة شبكة المقاومات
خامسا : التحويل من رقمي الى نظيري باستخدام الطريقة الانية وبطريقة المقارن .
سادسا : التحويل من رقمي الى نظيري باستخدام طريقة المقارن .
سابعا : التحويل من رقمي الى نظيري باستخدام طريقة العداد التصاعدي
ثامنا : التحويل من رقمي الى نظيري باستخدام طريقة العداد التصاعدي - التنازلي

د- أهداف المحاضرة Objectives

سيكون الطالب بعد دراسته لهذه المحاضرات قادرا على أن :

- يحول قيمة رقمية الى ما يكافئها من قيمة نظيرية .
- يحول قيمة نظيرية الى ما يكافئها من قيمة رقمية .
- يحدد الدقة والاحكام الخاص بدائرة التحويل .

ثانيا- الاختبار القبلي Pre test

1- مالمقصود بالاشارة التماثلية ؟

2- مالمقصود بالاشارة الرقمية ؟

3- لدينا محول من رقمي الى تماثلي (D/A) له أربعة مداخل ثنائية ،جهد الدخل له يساوي (3V) وقيمة مقاومة التغذية العكسية له (R_f = 20 KΩ) وقيمة مقاومة الدخل له (R = 150 KΩ) ، أوجد الجهد التماثلي المقابل لقيمة الادخالات التالية : $(0000)_2$ ، $(0001)_2$ ، $(0011)_2$ ، $(1111)_2$.

4- لدينا محول من رقمي الى تماثلي (D/A) له خمسة مداخل ثنائية ،جهد الدخل له يساوي (10V) وقيمة مقاومة التغذية العكسية له (R_f = 20 KΩ) وقيمة مقاومة الدخل له (R = 150 KΩ) ، أوجد الجهد التماثلي المقابل لقيمة الادخالات التالية : $(10101)_2$.

تحقق من سلامة اجابتك بمراجعتك صفحة (مفاتيح الاجابات على الاختبارات) في نهاية المحاضرة، فاذا حصلت على نسبة اجابة اكثر من 75٪ فأنت لست بحاجة لهذه المحاضرة ،اما اذا حصلت على اقل من ذلك فانتقل الى الخطوة التالية: (نص المحاضرة)

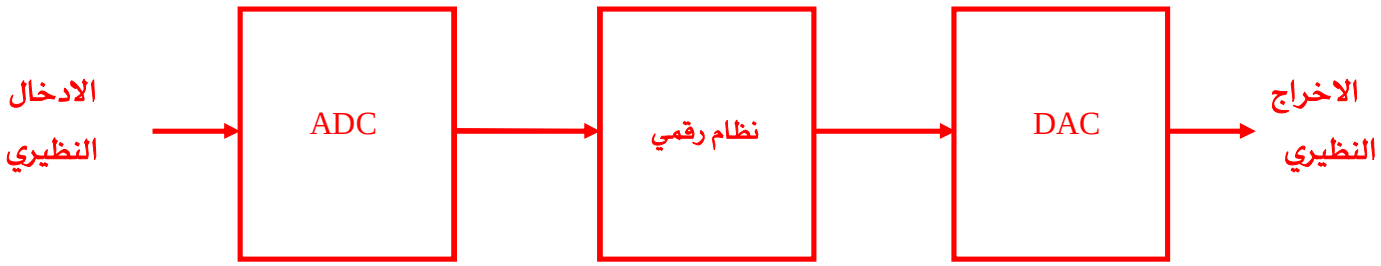
المقدمة

تمتاز الدوائر الرقمية بدقة اجراء العمليات المختلفة عن الدوائر التناظرية مع بساطة تركيب الاولى وسهولة تصميمها . إن أغلب عمليات السيطرة الالكترونية تعتمد على دوائر رقمية تسيطر على قيم تناظرية وكذلك تكون مدخلاتها تناظرية على الاغلب . ولنأخذ مثلا عملية ضرب قيمة الجهد من أخراجي دائرتين . فيمكن اجراء العملية باستعمال دائرة ضارب نظيري . كما يمكن أجراء العملية باستعمال ضارب رقمي وهو أدق ، وذلك بتحويل القيم النظيريةالى رقمية ثم ادخالها الى ضارب رقمي ينتج حاصل ضرب رقمي أيضا . ويحول الاخراج الى قيمة نظيرية مرة أخرى .

يدعى الجهاز الذي يقوم بتحويل القيمة الرقميةالى تناظرية (أو نظيرية) بالمحول رقمي – نظيري (Digital to Analog Converter) ويختصر (DAC) .

كما يدعى الجهاز الذي يقوم بتحويل القيمة التناظرية الى رقمية بالمحول نظيري – رقمي (Analog to Digital Converter) ويختصر (ADC) .

يبين الشكل (1) نموذجا لنظام رقمي يستخدم قيمة نظيرية في الادخال ثم يحول الاخراج الى قيمة نظيرية أيضا



الشكل (1)

ولكي نفهم عمل هذه المحولات يجب أن نفهم معنى القيمة النظيرية والقيمة الرقمية .

القيمة النظيرية هي القيمة المحصورة بين حد أدنى وحد أعلى وتأخذ اية قيمة بين هذين الحدين وبشكل مستمر فمثلا لو كانت قيمة نظيرية لجهد محصور بين صفر وسبعة فولت فانها يمكن أن تكون واحد أو اثنان أو أية قيمة أخرى وبأي عدد من المراتب (مثل : 3 . 5 أو 64 . 5 أو 675 . 8) . أما القيمة الرقمية الثنائية ، فهي عدد ثنائي يتكون من عدد من المراتب ويمثل قيمة معينة . القيمة الرقمية هي حاصل ضرب العدد الثنائي في ثابت معين . وعلى سبيل المثال ، نفرض أن جهد معين يمثله عدد ثنائي ذو ثلاث مراتب وأن قيمة الجهد تتراوح مابين صفر الى سبعة فولت . بما أن الحالات الممكنة لثلاثة مراتب هي ثمان حالات . إذن فالحالة $(001)_2$ تمثل جهد فولت واحد بينما يمثل جهد قيمته فولتان بالحالة $(010)_2$ ، وهكذا يكون الثابت في هذه الحالة هو واحد فولت كما مبين في الجدول (1) والذي يبين عدم امكانية تمثيل أي قيمة للجهد خارج القيم المثبتة في الجدول وإنما تتمثل بالحالات المقاربة ، فمثلا الجهد 3,7 فولت يتمثل بالحالة $(100)_2$ والجهد 5,4 فولت يتمثل بالحالة $(101)_2$. وعلى هذا الاساس فهناك خطأ قيمته في هذا المثال في أسوأ الاحوال فولت واحد . ويمكن حساب أعلى نسبة للخطأ كما يلي :

$$\frac{1V}{7V} * 100\% = 14.3\%$$

أدخال رقمي	أخراج نظيري
000	0V
001	1V
010	2V
011	3V
100	4V
101	5V
110	6V
111	7V

الجدول (1)

تمثيل القيم النظيرية بما يقابلها من القيم الرقمية ذات الثلاث مراتب

ويمكن أن تقل نسبة الخطأ لو أستعملنا عددا ثنائيا يتكون من عدد مراتب أكثر وليكن أربع مراتب فيمثل الجهد 7فولت بالحالة $(1111)_2$ بينما يمثل الجهد 0 فولت بالحالة $(0000)_2$ وتمثل الحالة $(0001)_2$ جهد مقداره ناتج قسمة 7فولت على 15 أو يساوي (0.4666) فولت وضعف هذه القيمة يمثل الحالة $(0010)_2$ وقدره (0.932) فولت وهكذا تؤدي كل زيادة في العد الثنائي الى زيادة في الجهد قدرها (0.4666) فولت . و يمكن استخراج نسبة الخطأ هنا كما يلي : $\frac{(0.4666)V}{7V} * 100\% = 6.66\%$

لاحظ ان نسبة الخطأ تقل كلما ازداد عدد مراتب القيمة الرقمية ، أي أن دقة التحويل تزداد مع زيادة عددالمراتب .

تحويل القيم الرقمية الى نظيرية (Digital to Analog Conversion)

ان لكل مرتبة في القيمة الرقمية وزن معين فالمرتبة 2^0 لها وزن نصف ما لمرتبة 2^1 ولهذه الاخيرة وزن نصف ما لمرتبة 2^2 وهكذا .... .

وعلى سبيل المثال ، في الجدول (1) يكون وزن المرتبة 2^0 هو فولت واحد فعندما تكون هذه المرتبة واحد كما في الحالة $(001)_2$ تكون القيمة النظيرية هي فولت واحد . ويكون وزن المرتبة 2^1 هي فولتان ، فعندما تكون هذه المرتبة واحد كما في الحالة $(010)_2$ تكون القيمة النظيرية هي فولتان . ووزن المرتبة 2^2 هو أربعة فولتات وهكذا . وإذا كانت أكثر من مرتبة في حالة واحد فتكون القيمة النظيرية هي مجموع أوزان المراتب التي يظهر فيها الواحد .

فالحالة $(110)_2$ تعني قيمة نظيرية هي مجموع وزن المرتبة الثانية والثالثة أي ستة فولتات .

مثال (1)

ما وزن كل مرتبة للقيمة الرقمية رباعية المراتب التي تمثل جهدا قيمته تتراوح بين صفر وخمسة فولت .

الحل

أن أعلى رقم ثنائي هو $(1111)_2$ ويمثل جهدا قدره خمسة فولتات ، لذلك تكون :

وزن المرتبة الاولى هو w_1 حيث $w_1 = \frac{5V}{15} = 0.333V$

وزن المرتبة الثانية w_2 هو ضعف w_1 حيث $w_2 = 2* 0.333V = 0.666\ V$

وزن المرتبة الثالثة w_3 هو ضعف w_2 حيث $w_3 = 2* 0.666V = 1.332\ V$

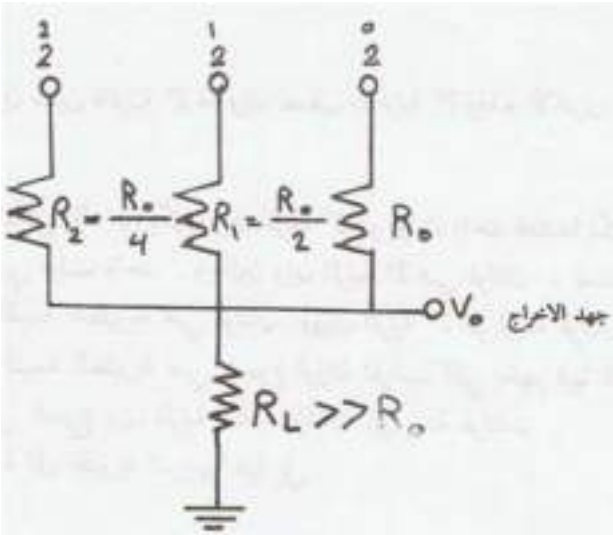
وزن المرتبة الرابعة w_4 هو ضعف w_3 حيث $w_4 = 2* 1.332V = 2.664 V$

وبذلك يبلغ مجموع الاوزان 5V .

شبكة المقاومات (Resistance Network)

تتكون القيمة الرقمية من مجموعة من المراتب الثنائية التي تكون إما في المنطق صفر أو في المنطق واحد . ولكل منطق مستوى جهد معين يمثله ، ففي دوائر TTL يمثل المنطق صفر بالجهد صفر فولت بينما يمثل المنطق واحد بالجهد خمسة فولت وهذا ينطبق على كافة المراتب فكيف يمكن تحديد وزن مراتب الرقم الثنائي ؟

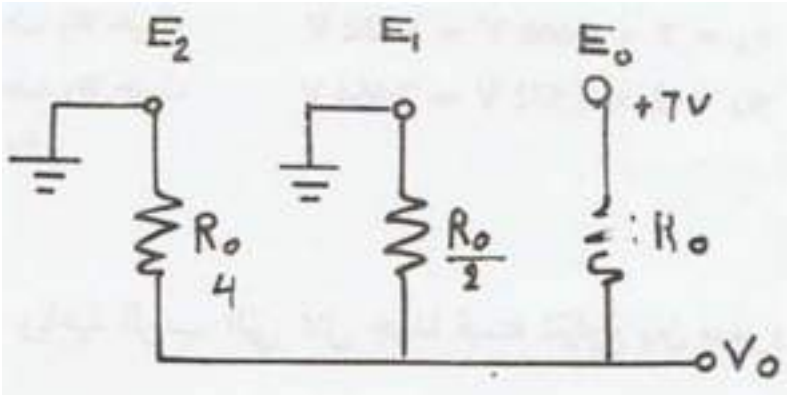
والاجابة على هذا التساؤل هي أن كل مرتبة تربط الى مقاومة ذات قيمة معينة تحدد وزن المرتبة والشكل (2) يبين شبكة مقاومات . لاحظ أن المرتبة الاقل وزنا (LSB) تربط الى أكبر المقاومات R_0 بينما تصغر قيمة المقاومة كلما ازداد تأثير المرتبة . مقاومة المرتبة الثانية هي نصف مقاومة المرتبة الاولى ، و مقاومة المرتبة الثالثة هي نصف مقاومة المرتبة الثانية وبذلك يكون وزن كل مرتبة هو ضعف المرتبة التي قبلها ، لاحظ أن مقاومة الحمل R_L هي مقاومة كبيرة جدا وذلك لكي لاتحمل شبكة المقاومات فوق طاقتها ولكي لايكون لها تأثير عند جمعها على التوازي مع أي من مقاومات الشبكة .



الشكل (2) شبكة مقاومات ثلاثية المرتبة

يمكن تطبيق حالات الجدول (1) على شبكة المقاومات لتنتج جهدا في الاخراج موافقا لما موجود في الجدول . أفرض ان القيمة الرقمية الموجودة في إدخال شبكة المقاومات هي $(001)_2$ وأن جهد المنطق واحد هو 7 فولت بينما يمثل جهد صفر فولت المنطق صفر .

وبذلك ستصبح الدائرة المكافئة هي الدائرة المبينة في الشكل (3)



الشكل (3)

الدائرة المكافئة لشبكة المقاومات للحالة $(001)_2$

ويمكن إيجاد جهد الاخراج V_o من تجزئة الجهد 7 فولت بين مقاومة المرتبة الاولى ومقاومة المجموعة المتوازية للمرتبة الثانية والثالثة ومقاومة الحمل . وبما أن مقاومة الحمل عالية جدا فلا يكون لها تأثير على المجموعة المتوازية ، فتكون مقاومة المجموعة المتوازية هي :

$$R_1 // R_2 = \frac{\frac{Ro}{2}*\frac{Ro}{4}}{\frac{Ro}{2}+\frac{Ro}{4}} = \frac{(Ro)^2}{8} * \frac{4}{3Ro} = \frac{Ro}{6}$$

وبذلك يكون جهد الاخراج :

$$V_o = 7V * \frac{\frac{Ro}{6}}{Ro+\frac{Ro}{6}} = 1V$$

وبرسم الدوائر المكافئة للحالات السبع الاخرى وبتطبيق نفس الطريقة المذكورة أعلاه يمكن أستنتاج باقي الجهود المبينة في الجدول (1) .

مثال (2)

في شبكة مقاومية ذات أربعة مراتب أوجد مايلي ، علما بأن جهد حالة الصفر هو 0V و جهد حالة الواحد هو 10v

أ- أعلى جهد للاخراج .

ب- التغير الحاصل في جهد للاخراج نتيجة للرقم ذي المرتبة الادنى .

ج- جهد الاخراج النظيري عندما يكون الادخال الرقمي $(1011)_2$.

الحل

أ- يكون جهد الاخراج في أقصاه عندما تكون أطراف الادخال كلها في حالة واحد أي 10V وإذا كان جهد جميع أطراف الادخال يساوي 10V فان جهد الاخراج يكون 10V أيضا وذلك بإهمال تأثير المقاومة R_L

ب- بالنسبة لعدد ذي أربع مراتب هنالك ستة عشر أحتمالا وبين هذه الاحتمالات يوجد خمسة عشر تدريجا وبذلك يكافئ الرقم ذو المرتبة الادنى $\frac{1}{15}$ من التدريج الكلي ويكون التغيير الحاصل في جهد الإخراج هو :

$$10V * \frac{1}{15} = \frac{2}{3} V$$

ج- يكافئ الادخال الثنائي $(1011)_2$ عددا عشريا قيمته $(11)_{10}$ الذي يكافئ جهدا في الاخراج V_o هو :

$$V_o = 11 * \frac{2}{3} V = \frac{22}{3} V = 7\frac{1}{3} V$$

وبطريقة أخرى يمكن أعتبار المقاومات R_o وR_1 وR_2 مجموعة متوازية مربوطة الى مصدر جهد $10V$ وتعمل المجموعة كمجزئ جهد مع المقاومة R_2 .

$$R_o // R_1 // R_2 = R_o // \frac{Ro}{2} // \frac{Ro}{8} = \frac{Ro}{11}$$

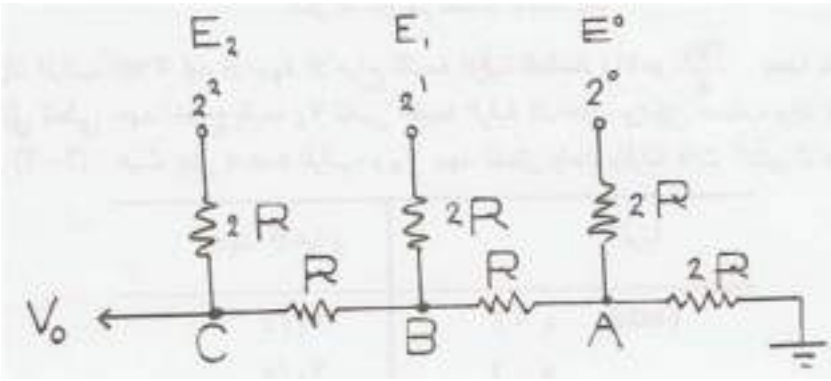
$$V_o = 10V * \frac{R2}{R2+\frac{Ro}{11}} = 10V * \frac{\frac{Ro}{4}}{\frac{Ro}{4}+\frac{Ro}{11}} = \frac{110}{15} V = 7\frac{1}{3} V$$

من الجدير بالذكر أن لشبكة المقاومات نقطتا ضعف تتعلق بقيم المقاومات المستخدمة حيث لو فرضنا أن أقل مقاومة هي R تكون أعلى مقاومة تساوي $2^{n-1} R$ وعلى فرض أن عدد المراتب هو عشر فتكون قيمة أعلى مقاومة أكبر 512 مرة بقدر أصغر مقاومة . ومن الصعب الحصول على مقاومات مختلفة بمدى واسع مستقرة حراريا وعالية الدقة وان وجودها يعني أسعارا باهضة أضف الى ذلك أختلاف قيمة التيار المسحوب من كل مرتبة . وكمثال على ذلك في شبكة المقاومات ذات عشر مراتب يكون التيار الساري من المرتبة العاشرة أكبر 512 مرة من تيار المرتبة الاولى لهذا السبب قل أستعمال شبكة المقاومات وأستعيض عنها بدائرة مقاومات أخرى تدعى سلم المقاومات .

سلم المقاومات Ladder Network

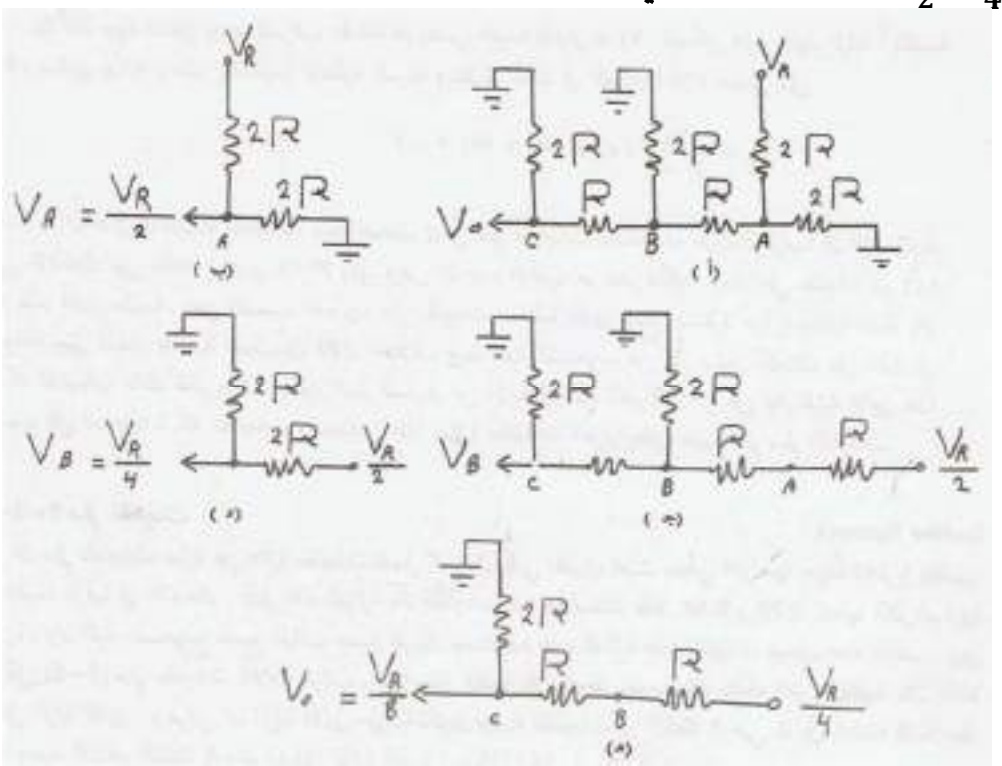
أن سلم المقاومات عبارة عن دائرة مقاومات تعمل كمحول رقمي نظيري بحيث يعطي أخراجها جهدا تناظريا يتناسب مع القيمة الرقمية في الادخال . تمتاز هذه الدائرة بأن المقاومات فيها لها قيمتان فقط هما R و $2R$ مما يجعلها أكثر استقرارا حراريا ، وأن التيار المسحوب لجميع المراتب متساو تقريبا . وتستخدم هذه الدائرة عدد من المقاومات يساوي ضعف عدد المراتب . يبين الشكل (4) سلم مقاومات لثلاث مراتب . بملاحظة النقطة A نلاحظ مقاومة $2R$ بأتجاه اليمين ومقاومة $2K$ بأتجاه مدخل المرتبة الاولى ، وبفرض أن المرتبة الاولى مؤرضة

تكون محصلة المقاومات في النقطة A هي R وفي النقطة B نلاحظ أيضا وجود 2R نحو النقطة A ونحو مدخل المرتبة الثانية وهكذا الحال في كل نقطة التقاء



الشكل (4) سلم المقاومات

وبفرض ان جهد المنطق واحد هو V_R وأن القيمة الرقمية هي $(001)_2$) فيمكن حساب جهد الاخراج كما مبين في الشكل (5) باستخدام نظرية ثفنن فيها هو $\frac{VR}{2}$ ومقاومة ثفنن هي R . و باستخدام نظرية ثفنن للنقطة B يكون جهد ثفنن لهذه النقطة هو $\frac{VR}{4}$ ومقاومة ثفنن هي R وبحساب جهد ثفنن للنقطة C يكون $\frac{VR}{8}$. وبذلك يكون تأثير المرتبة الاولى على الاخراج هو $\frac{1}{8}$ من V_R ، وبنفس الطريقة يمكن حساب تأثير المرتبة الثانية والثالثة فيكون $\frac{1}{4}$ ، $\frac{1}{2}$ من V_R على التوالي



الشكل (5) سلم المقاومات للإدخال $(001)_2$

عند جمع أوزان المراتب الثلاثة نجد أن جهد الاخراج للقيمة الرقمية الداخلة $(111)_2$ هو $\frac{7VR}{8}$ وهذا يشكل اختلافا مع شبكة المقاومات التي تعطي جهد اخراج بقيمة V_R لنفس القيمة الرقمية الداخلة ، ويمكن حساب وزن كل مرتبة وكما مبين في الجدول (2)

جهد الأخراج	المرتبة
$V_R/2$	MSB n-1
$V_R/4$	n-2
$V_R/8$	n-3
$V_R/16$	n-4
:	:
:	:
$V_R/2^{n-1}$	1
$V_R/2^n$	LSB 0

الجدول (2) أوزان مراتب سلم المقاومات

ويمكن إيجاد جهد الاخراج بجمع أوزان المراتب ذات المنطق واحد ويمكن تمثيل ذلك بالمعادلة التالية :

$$V_o = \frac{VR}{2^n}(a_o + 2a_1 + 4a_2 + \ldots\ldots)$$

حيث تمثل a_i القيمة المنطقية أ

مثال (3)

أحسب جهد الاخراج من محول الاشارة نوع سلم المقاومات ذو خمس مراتب عندما يكون الادخال بالقيمة $(01101)_2$ والقيمة $(10011)_2$ والقيمة $(11111)_2$ ، علما أن جهد المنطق صفر يساوي 0V و جهد المنطق واحد يساوي 8V .

الحل

بتطبيق معادلة حساب جهد الاخراج للقيمة الرقمية في الادخال :

$$V_o = \frac{VR}{2^n}(a_o + 2a_1 + 4a_2 + 8a_3 + 16a_4)$$

$$= \frac{8V}{32}(0 + 2*1 + 4*1 + 8*0 + 16*1)$$

$$= \frac{8V}{32}(22) = 5.5\ V$$

بتطبيق نفس المعادلة لقيمة الادخال الرقمية $(10011)_2$

$$V_o = \frac{8V}{32}(1 + 2*1 + 4*0 + 8*0 + 16*1)$$

$$= \frac{8V}{32}(19) = 4.75\ V$$

بتطبيق نفس المعادلة لقيمة الادخال الرقمية $(11111)_2$

$$V_o = \frac{8V}{32}(31) = 7.75\ V$$

ويمثل هذا الجهد أعلى قيمة لجهد الاخراج وهي أقل من جهد المنطق واحد . وتقترب القيمة القصوى لجهد الاخراج من جهد المنطق واحد كلما زاد عدد المراتب الا انه لايساويه أبدا .

الدقة والاحكام في المحول الرقمي الى نظيري :

أن القيمة المضبوطة لجهد الاخراج تعتمد على عاملين مهمين هما دقة وإحكام المحول الرقمي الى النظيري .

الدقة (Accuracy) تعني أقل تغيير في جهد الاخراج يمكن أن يحدث نتيجة تغير الحالة الرقمية للادخال وتقاس الدقة بوزن المرتبة الاولى (ذات الوزن الاقل) ،ويمكن حسابها في شبكة المقاومات من المعادلة :

$$Acc = \frac{VR}{2^n - 1}$$

كما يمكن حساب الدقة في سلم المقاومات من المعادلة :

$$Acc = \frac{VR}{2^n}$$

تتحسن الدقة كلما زاد عدد مراتب المحول . ويكون المحول أفضل كلما كانت دقته أقل . فمثلا المحول ذو الدقة 10mV يكون أفضل من المحول ذو الدقة 50mV .

أما إحكام المحول فيعتمد على إحكام قيم المقاومات المستعملة وكذلك على إحكام الجهد القياسي للمنطق واحد لذلك يجب استعمال مقاومات ذات نسبة خطأ قليلة جدا .

فلو كان إحكام محول $\mp$ 5% وأن القيمة الرقمية في الادخال تعطي من الناحية النظرية جهد إخراج 10V سيكون الجهد الحقيقي في الاخراج بين 9.5V و 10.5V .

ومن الجدير بالذكر بأنه يجب أن تكون قيم الدقة والاحكام متناسقة فالمحول الذي يمتاز بدقة عالية (عدد مراتب كبير) يجب أن يتصف بأحكام ضئيل جدا أما المحول الذي يمتاز بدقة قليلة لايحتاج الى درجة أحكام قليلة وعادة يجب أن تكون نسبة الخطأ الناتجة عن الاحكام أقل منها للدقة .

مثال (4)

ماهي دقة شكل مقاومات ذات أربع مراتب وقيمة قصوى لجهد الاخراج 5V . بين أي القيمتين للاحكام أنسب لهذا المحول 0.5V أم 0.1V وما هي نسبة الخطأ له ؟

الحل

دقة هذا المحول هي : $Acc = \frac{5V}{2^n - 1} = \frac{5V}{15} = \frac{1}{3} V = 0.33V$

ان إحكام بقيمة $0.1V$ هو الانسب لهذا المحول .

أما نسبة الخطأ فتنتج عن الدقة والاحكام معا وهي :

$$E_{rr}\% = \frac{(0.33+0.1)}{5V} * 100\% = 8.6\%$$

مثال (5)

إذا كانت نسبة الخطأ في محول رقمي نظيري هي 2.7% وكان إحكام المحول يساوي نصف قيمة دقة المحول ، إحسب عدد مراتب المحول .

الحل

بما أن الدقة هي ضعف الاحكام فإن هذا يعني أن نسبة الخطأ الناتجة عن عدد المراتب هي ضعف تلك الناتجة عن الاحكام ويمكن إيجاد النسبة المئوية للدقة لتساوي 1.8% . ويمكن حساب عدد المراتب من المعادلة :

$$Acc = \frac{1}{2^n - 1} * 100\%$$

$$1.8 = \frac{1}{2^n - 1} * 100$$

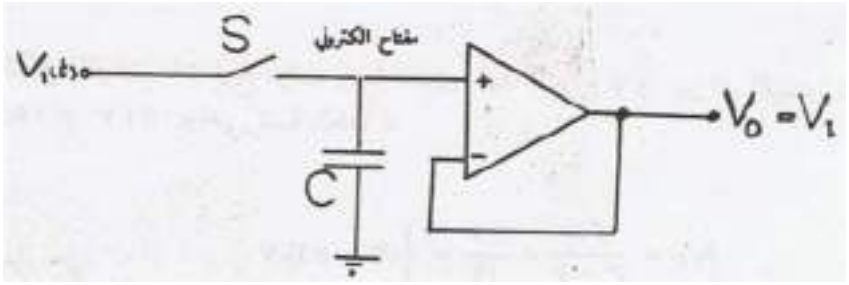
$$2^n - 1 = \frac{100}{1.8} = 55.5$$

$$2^n = 56.5 \cong 2^6$$

لذلك يمكن استخدام محول ذو ست مراتب ليعطي نسبة خطأ أقل من 2.7% .

التحويل النظيري الى رقمي (Analog to Digital Conversion)

هنالك عدة طرق لتحويل القيم النظيرية الى رقمية . يبدأ كل تحويل عادة بنبضة بدء التحويل . تنتقى عينة من الادخال النظيري وتحفظ بواسطة دائرة حجز العينة كالمبينة في الشكل (6) . يتم أغلاق المفتاح الالكتروني S بواسطة نبضة بدء التحويل ويشحن المكثف C بجهد الادخال V_1 . عندما يفتح المفتاح تبقى الشحنة على المكثف بدون إضمحلال ملحوظ للفترة الزمنية اللازمة للتحويل . بعد التحويل تنتقل القيمة الرقمية الى سجل لحفظها ، بينما يكون المحول على إستعداد لاستقبال نبضة بدء تحويل أخرى .

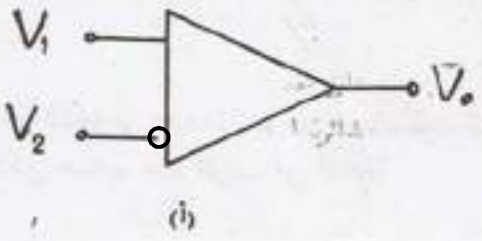


الشكل (6) دائرة حجز العينة

يستخدم في أغلب دوائر التحويل النظيري الى رقمي عنصرا أساسيا هو مقارن الجهد النظيري ويكون إخراج المقارن بحالة ثنائية وحسب قيمة جهد الادخال . يبين الشكل (7) رمز المقارن النظيري مع جدول واقعيته . وتعني الدائرة الصغيرة على رمز المقارن الاشارة الى الادخال السالب . يكون إخراج المقارن في المنطق واحد إذا كان الجهد V_1 أكبر من V_2 و يكون في المنطق صفر إذا كان الجهد V_1 أصغر من V_2 .

الادخال	V0
$V_1 > V_2$	1
$V_1 < V_2$	0

(ب)



(أ)

الشكل (7) المقارن النظيري

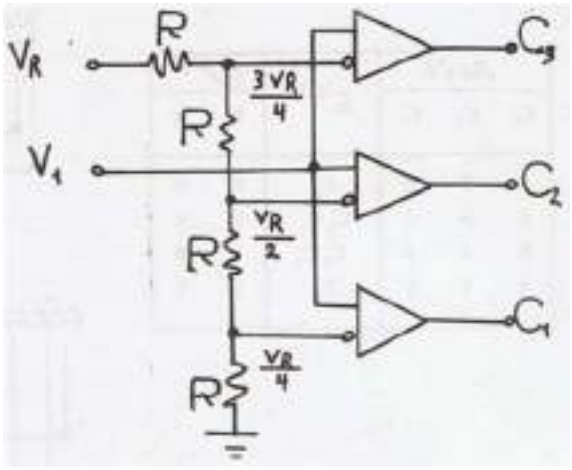
(أ) الرمز (ب) جدول الواقعية

التحويل من نظيري الى رقمي باستخدام الطريقة الانية (Immediate Method)

تدعى هذه الطريقة أيضا بالطريقة المتوازية وذلك لانها تستخدم مقارنات متوازية عديدة . لذلك تعتبر هذه الطريقة سريعة جدا . يبين الشكل (8) دائرة لتوضيح عمل الطريقة الانية . تتكون الدائرة من ثلاث مقارنات وبذلك يتكون الاخراج من ثلاث مراتب . يسلط عادة جهدا قياسيا V_R . يتناسب الاخراج الرقمي مع نسبة

جهد الادخال النظيري V_1 الى V_R . تستخدم مقاومات متساوية لتقسيم الجهدالقياسي الى مجموعة من الجهود القياسية هي نصف وربع وثلاثة أرباع V_R . تقارن هذه الجهود مع جهد الادخال V_1 خلال المقارنات الثلاث . يكون الاخراج رقما ثنائيا فيه أربعة احتمالات فقط تعتمد على قيمة جهد الادخال وكما مبين في الجدول الموجود بالشكل (8) .

قيمة جهد الادخال	الاخراج		
V_1	C_3	C_2	C_1
$V_1 < V_R/4$	0	0	0
$V_R/4 < V_1 < V_R/2$	0	0	1
$V_R/2 < V_1 < 3V_R/4$	0	1	1
$3V_R/4 < V_1$	1	1	1

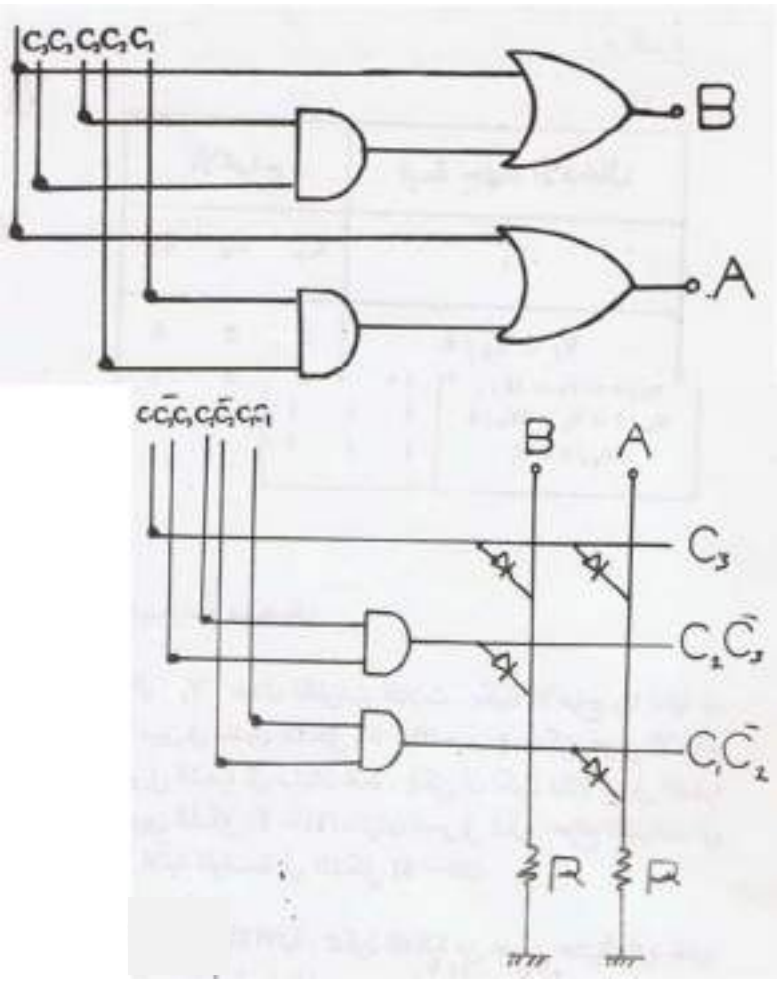


الشكل (8) دائرة لتوضيح عمل الطريقة الآنية

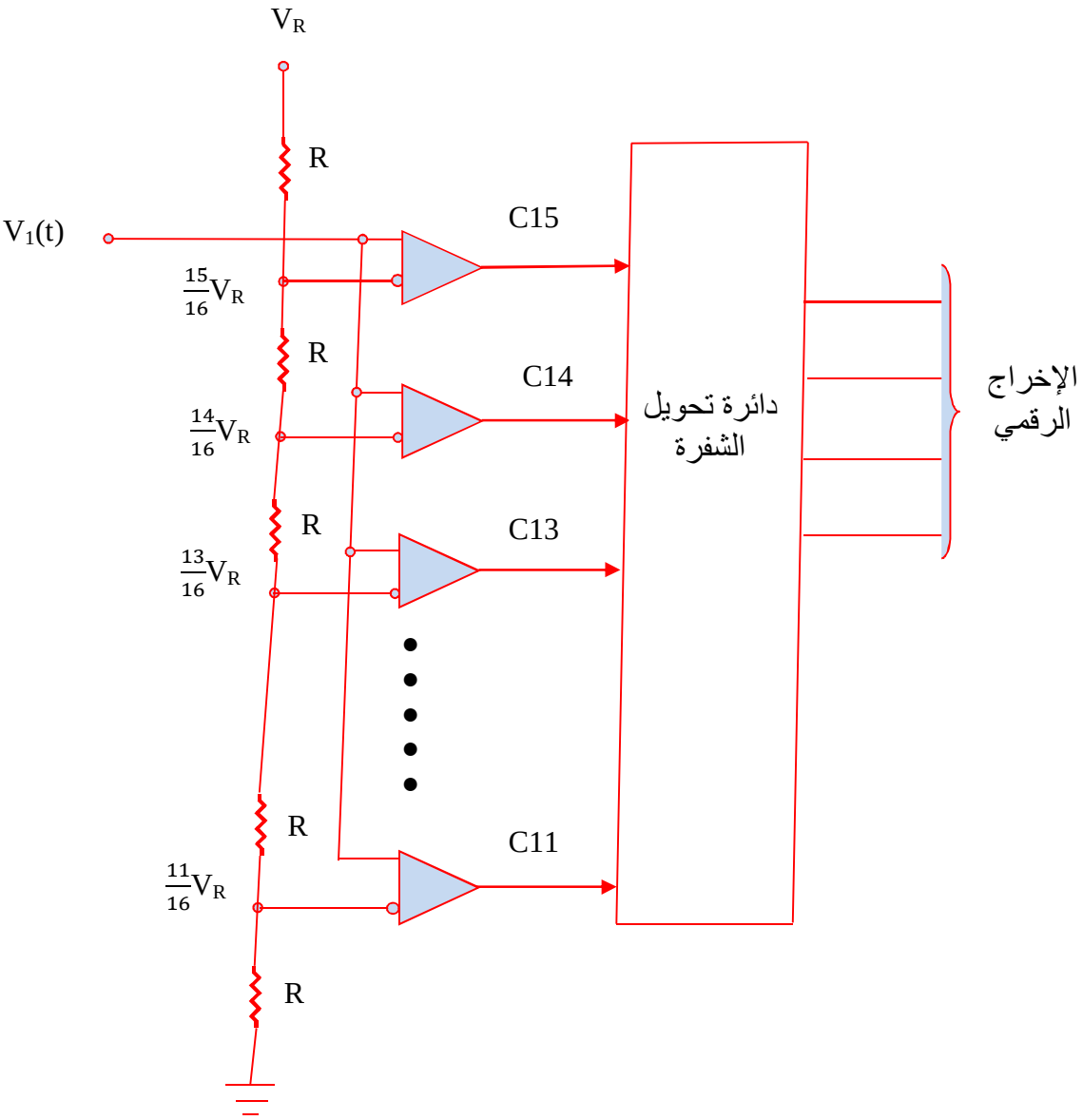
يمكن تحويل الاخراج الى النظام الثنائي الاعتيادي بأستخدام دائرة منطقية لتحويل الشفرة الى مرتبتان فقط . يمكن أن تكون دائرة تحويل الجفرة ذاكرة قراءة فقط أو دائرة منطقية مصممة لهذا الغرض . يبين الشكل (9) دائرتان لتحويل شفرة إخراج المقارنات الى النظام الثنائي مع جدول واقعية تحويل الشفرة بالطريقة الآنية الموضحة في الشكل (8) .

يبين الشكل (10) دائرة محول نظيري الى رقمي تستخدم الطريقة الآنية . تتكون الدائرة من خمس عشرة دائرة مقارن وست عشرة مقاومة و دائرة تحويل الشفرة . إن جهد إدخال V_1 بقيمة تتراوح بين $\frac{11VR}{16}$ ، $\frac{12VR}{16}$ تعطي إخراجا قيمته واحد لجميع المقارنات من C_1 لغاية C_{11} بينما يكون إخراج C_{12} لغاية C_{15} صفرا . يتكون إدخال دائرة تحويل الشفرة من خمس عشرة مرتبة ثنائية بينما يتكون إخراجها من أربع مراتب ثنائية . أن عيب الطريقة الآنية هو العدد الكبير من المقارنات فلتحويل رقما ثنائيا يتكون من عدد مراتب n نحتاج الى $2^n - 1$ مقارن وهذا يحدد المحول للاستخدام لاربعة الى ستة أرقام ثنائية فقط . ولكن يمتاز هذا المحول بسرعته العالية ، حيث يمكن أن تبلغ معدلات التحويل أكثر من 10^8 كلمة في الثانية وتناسب الطريقة الآنية مجال استخدامها في الاتصال بتبديل عرض النبضة PCM حيث تعتبر البسرعة العالية أساسية في عمله .

الادخال			النتاج	الاخراج	
C_3	C_2	C_1		B	A
0	0	0	$\bar{C}_1$	0	0
0	0	1	$\bar{C}_2 C_1$	0	1
0	1	1	$C_3 \bar{C}_2$	1	0
1	1	1	C_3	1	1



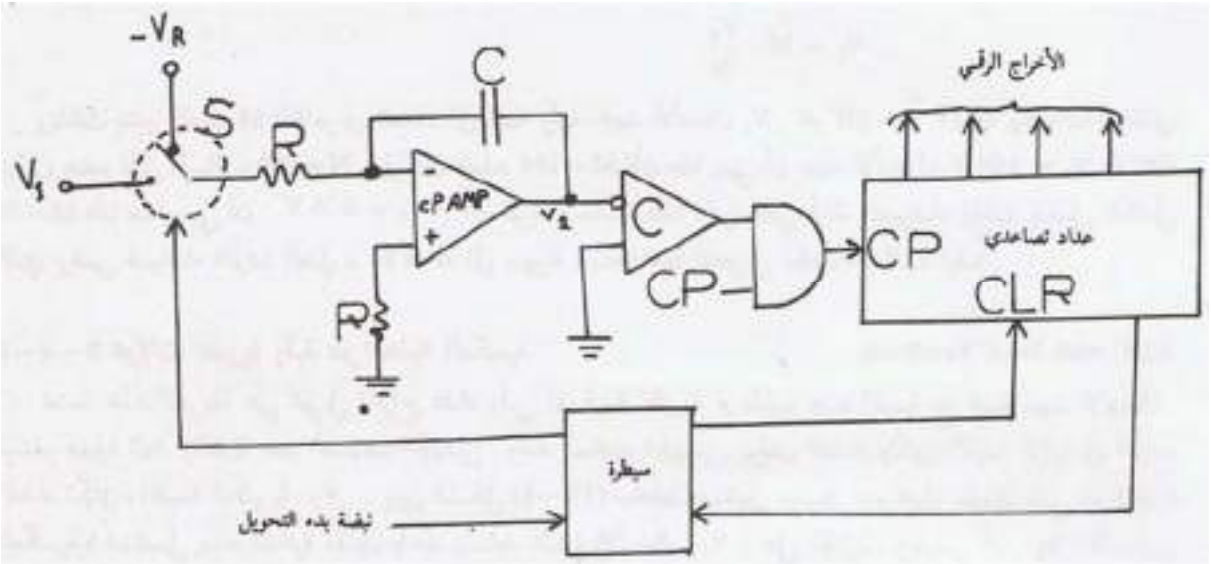
الشكل (9) دائرة تحويل الشفرة بالطريقة الانية



الشكل (10) دائرة محول نظيري الى رقمي يستخدم الطريقة الانية

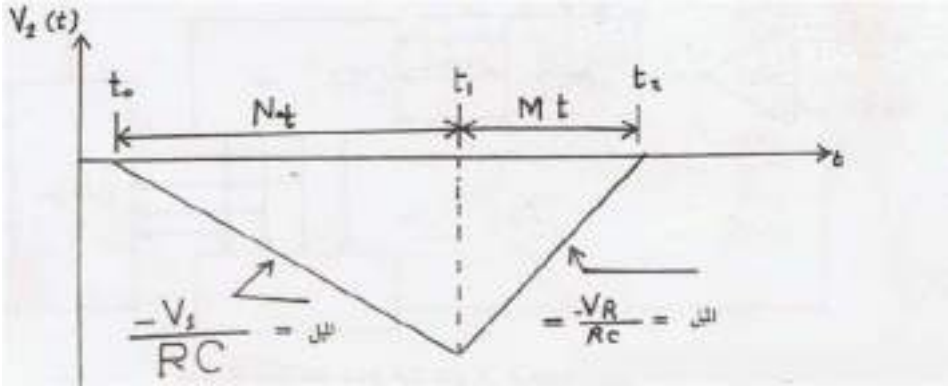
التحويل من نظيري الى رقمي باستخدام طريقة المقارن

وتدعى ايضا بالطريقة التكاملية (Integration Method) ، تعتمد هذه الطريقة على استخدام دائرة مقارن بالاضافة الى دائرة مكامل وعداد تصاعدي . ينظم جهد الادخال V_1 دخول نبضات الساعة ، حتى يتناسب عدد النبضات الواصلة الى العداد مع قيمة هذا الجهد يبين الشكل (11) دائرة محول نظيري الى رقمي باستخدام طريقة المقارن لاحظ ان هنالك مفتاح الكتروني يوصل ادخال دائرة المكامل بالجهد المرجعي (V_R) تارة و بجهد الادخال V_1 تارة أخرى . بينما يوصل اخراج دائرة المكامل الى المقارن الذي يعمل ككاشف عبور الصفر (zero crossing detector) .



الشكل (11) دائرة محول نظيري الى رقمي باستخدام طريقة المقارن

عند الزمن (t_o) تصل نبضة بدء التحويل الى دائرة السيطرة ، التي تعطي نبضة الى المفتاح الالكتروني (S) لتوصيل V_1 الى ادخال المكامل بعد وصول نبضات الساعة يبدأ العداد بالعد التصاعدي ابتداءا من الصفر يكامل الجهد المستمر عند مدخل المكامل العاكس للفترة من (t_o) الى (t_1) ليكون اخراج V_2 (t) السالب القيمة وذو الميل السالب أيضا كما مبين بالشكل (12) . يستمر العد لعدد معين من نبضات الساعة مقداره N وبذلك يستغرق زمنا مقداره NT حيث تمثل T زمن دورة نبضة ساعة واحدة . يتناسب الميل السالب مع قيم R و C و V_1 ويساوي $-\frac{V1}{RC}$.



الشكل (12)اخراج المكامل

عند وصول العد في العداد الى N يصفر العداد ويعطي اشارة الى دائرة السيطرة لتغيير موقع المفتاح الالكتروني ليوصل الجهد القياسي السالب V_R - الى المكامل . يكون ميل اخراج المكامل في هذه الحالة موجبا ومقداره $-\frac{V1}{RC}$ ، ويستمر العداد في عد نبضات الساعة مبتدءا من الصفر عند زمن (t_1) لغاية العدد M عند الزمن (t_2) حيث يتغير اخراج المقارن الى الصفر ويتوقف العد . ويستغرق العد زمنا قدره MT .

ويمكن استنتاج المعادلات التالية :

$$-\frac{V1}{RC} \cdot NT = -\frac{V1}{RC} \cdot MT$$

$$\therefore V_1 = M \cdot \frac{VR}{N}$$

وبذلك يشير العدد M الظاهر في العداد الى قيمة رقمية لجهد الادخال V_1 . فلو كان مثلا $V_R = 2V$ والعدد الذي يتوقف عنده الميل السالب $N = 200$ ، ولو كان العدد $M = 164$ فإن هذا يعني ان جهد الادخال $V_1 = 1.64V$ ، ولو كان العدد $M = 76$ فإن هذا يعني ان جهد الادخال $V_1 = 0.76V$. أن الميزة الاساسية لهذا المحول هي ازالة الضوضاء وذلك بفضل المكامل الذي يرفض ضوضاء التردد العالي ، بالاضافة الى سهولة استخدامها لتحويل الجهد السالب أيضا .

ثالثا : الاختبار الذاتي Self test

1- في المحول الرقمي الى نظيري نوع شبكة مقاومات ذات خمس مراتب ، أوجد وزن كل مرتبة فيه ؟ .

2- في المحول أعلاه ، أوجد جهد الاخراج عندما يكون الادخال بالقيمة $(10101)_2$ ، أفرض إن جهد المنطق صفر يساوي 0V و جهد المنطق واحد يساوي 10V ؟ .

3- ما عدد المراتب لمحول نوع سلم المقاومات يعطي دقة مقدارها (10mV) إذا كانت القيمة القصوى لجهد الاخراج (10V) ؟ .

4- ما وزن كل مرتبة للقيمة الرقمية رباعية المراتب التي تمثل جهدا قيمته تتراوح بين صفر وخمسة فولت ؟.

5- في المحول الرقمي الى نظيري نوع شبكة مقاومية ذات أربعة مراتب أوجد مايلي ، علما بأن جهد حالة الصفر هو 0V و جهد حالة الواحد هو 10v

أ- أعلى جهد للاخراج .

ب- التغير الحاصل في جهد الاخراج نتيجة للرقم ذي المرتبة الادنى .

6- في المحول السابق إحسب جهد الاخراج النظيري عندما يكون الادخال الرقمي $(1011)_2$.

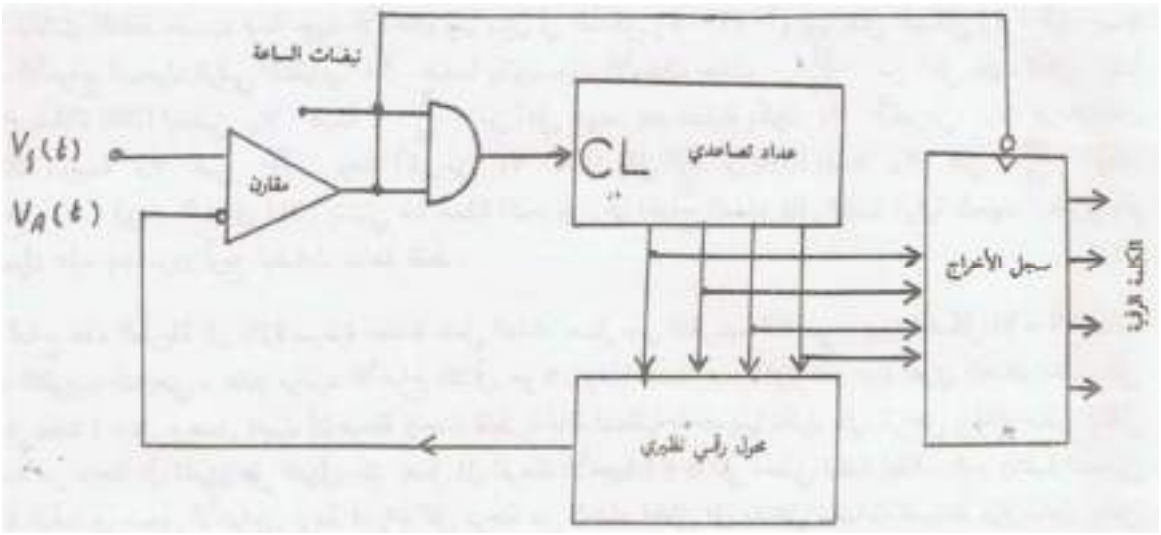
:

التحويل من نظيري الى رقمي باستخدام طريقة العداد التصاعدي (Up counter Method)

_تستخدم هذه الطريقة عداد تصاعدي . يبين الشكل (13) دائرة محول نظيري الى رقمي باستخدام طريقة العداد . يقوم العداد في هذا المحول بالعد التصاعدي مبتدءا بالصفر . يحول اخراج العداد بواسطة محول نظيري الى رقمي الى جهد V_A يقارن هذا الجهد مع جهد الادخال V_1 ، فلو كان V_1 أكبر من V_A يكون اخراج المقارن واحد ويستمر العداد بالعد وبذلك يزداد V_A ليقارن مع V_1 وهكذا . مع كل نبضة يزداد العد ويزداد الجهد V_A بشكل سلمي حتى إذا أصبح V_A أكبر من V_1 يكون اخراج المقارن صفرا الذي يغلق بوابة الاضافة بوجه نبضات الساعة فيتوقف العداد عن العد ويمثل العدد الموجود في العداد القيمة الرقمية المكافئة للقيمة النظيرية بالإدخال . يستغرق التحويل زمنا يعتمد على قيمة الجهد المرادتحويله . فلو فرضنا ان زمن دورة الساعة هو T وأن جهد الإدخال V_1 جهدا قليلا بحيث توقف العد بعد النبضة الرابعة فإن زمن التحويل T_c يكون 4T ، أما إذا كان جهد الإدخال أعلى بحيث توقف العد بعد النبضة العاشرة فإن زمن التحويل في هذه الحالة يكون 10T . ولو فرضنا أن العداد قد وصل الى أعلى رقم وهو 2^n يكون زمن التحويل :

$$T_c = 2^n * T$$

أن هذا أعلى زمن تحويل ممكن ، أما معدل زمن التحويل فهو نصف هذا الزمن وبقيمة ($2^{n-1} * T$) .



الشكل (13)محول نظيري الى رقمي يعمل بطريقة العداد التصاعدي

مثال (6)

بإستخدام محول نظيري الى رقمي ذي ثمان مراتب ، وزمن دورة الساعة هو 1.5 مايكروثانية ، إحسب زمن التحويل إذا كان جهد الإدخال هو ربع أعلى قيمة . ثم إحسب معدل زمن التحويل .

الحل

بما أن عدد المراتب هو ثمانية فإن أعلى عد هو 2^8 أي 256 وسوف يصل العداد الى ربع أعلى قيمة بعد مرور زمن مقداره

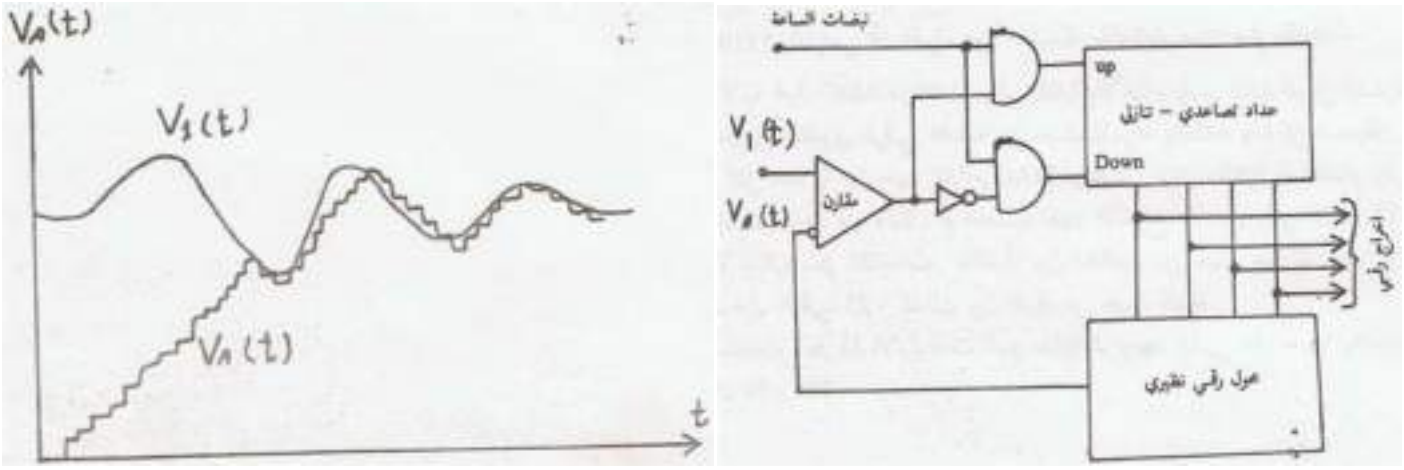
$$T_c = \frac{256}{4} * 1.5\ \mu S = 96\ \mu S$$

ومعدل معدل زمن التحويل T_A هو :

$$T_A = 2^{n-1} * T = 2^7 * 1.5\ \mu S = 192\ \mu S$$

التحويل من نظيري الى رقمي باستخدام طريقة العداد التصاعدي-التنازلي (Up-Down counter)

وتسمى أيضا طريقة التتبع ، تستخدم هذه الطريقة عدادا تصاعديا –تنازليا وفائدة هذه الطريقة أن القيمة الرقمية تتبع بصورة مستمرة التغيرات في القيمة النظيرية . يبين الشكل (14) دائرة محول نظيري الى رقمي يعمل بطريقة العداد التصاعدي- التنازلي . إن لبوابات الإضافة تغيير نمط العد تصاعديا إذا ازدادت V_1 وتنازليا إذا قلت قيمتها .



(أ) دائرة المحول (ب) موجة التتبع

الشكل (14) محول نظيري الى رقمي يعمل بطريقة العداد التصاعدي- التنازلي

عند بداية عملية التحويل يبدأ العداد من الصفر بطريقة العداد التصاعدي ، كما مبين في الشكل (14- ب) حتى يصل الى القيمة النظيرية فيحصل القفل ويبقى متتبعا للقيمة النظيرية ويبقى مقفولا طالما أن الجهد النظيري لايتغير أسرع من V_A . كما ان هناك طرق أخرى لتحويل القيم النظيرية الى رقمية مثل الطريقة الكهروميكانيكية وطريقة إستعمال سجل التقريب التتابعي وغيرها وتستعمل استعمالات خاصة . كما أن هناك دوائر متكاملة خاصة بالتحويل النظيري الى رقمي مثل الدائرة المتكاملة **CMOS8702** التي تعمل بالطريقة التكاملية ويتكون إخراجها من إثنا عشر رقما ثنائيا . و الدائرة المتكاملة **EK128** ذات واحد وعشرون رقما ثنائيا و تعمل أيضا بالطريقة التكاملية . وكذلك الدائرة المتكاملة **ADC0816** و **MM5357** ذات الثمانية أرقام ثنائية وتعمل جميعها بطريقة التقريب التتابعي .

رابعا : الاختبار البعدي Post test

1- أحسب جهد الاخراج من محول الاشارة نوع سلم المقاومات ذو خمس مراتب عندما يكون الادخال بالقيمة $(01101)_2$ والقيمة $(10011)_2$ والقيمة $(11111)_2$ ، علما أن جهد المنطق صفر يساوي 0V و جهد المنطق واحد يساوي 8V .

2- ماهي دقة شكل مقاومات ذات أربع مراتب وقيمة قصوى لجهد الاخراج 5V . بين أي القيمتين للاحكام أنسب لهذا المحول 0.5V أم 0.1V ؟

3- إحسب نسبة الخطأ للمحول أعلاه ؟

4- بإستخدام محول نظيري الى رقمي ذي ثمان مراتب ، وزمن دورة الساعة هو 1.5 مايكروثانية ، إحسب زمن التحويل إذا كان جهد الإدخال هو ربع أعلى قيمة ؟ .

5- إحسب معدل زمن التحويل للمحول السابق ؟ .

ثالثا : مفاتيح الاجابة على الاختبارات					
الاختبار القبلي Pre test		الاختبار الذاتي Self test		الاختبار البعدي Post test	
رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة	رقم السؤال	الاجابة الصحيحة
1	هي الاشارة التي تتغير قيمتها بشكل مستمر مع الزمن مثل إشارة الجهد والتيار ودرجة الحرارة والضغط ....الخ .	1	وزن المرتبة الاولى هو $\frac{10}{31}$ V ، وزن المرتبة الثانية هو $\frac{20}{31}$ V ، وزن المرتبة الثالثة هو $\frac{40}{31}$ V ، وزن المرتبة الرابعة هو $\frac{80}{31}$ V ، وزن المرتبة الخامسة هو $\frac{160}{31}$ V	1	لقيمة الادخال الرقمية $(01101)_2$: $V_o = \frac{8V}{32}$ (22) = 5.5 V لقيمة الادخال الرقمية $(10011)_2$: $V_o = \frac{8V}{32}$ (19) = 4.75 V لقيمة الادخال الرقمية $(11111)_2$: $V_o = \frac{8V}{32}$ (31) = 7.75 V
2	هي الاشارة التي تتغير قيمتها بين مستوين منفصلين (عالي و منخفض)مثل الإشارة الموجودة على مداخل ومخارج البوابات	2	$V_o = 6.77$		
3	6V , 1.2V , 0.4V , 0V	3	$\frac{10V}{10mV} = 1000 \cong 2^{10}$	2	دقة هذا المحول هي : 0.33V
4	6.77 فولت .	4	وزن المرتبة الاولى هو w_1 حيث $w_1 = \frac{5V}{15} = 0.333V$ وزن المرتبة الثانية w_2 هو ضعف w_1 حيث $w_2 = 2* 0.333V = 0.666\ V$ وزن المرتبة الثالثة w_3 هو ضعف w_2 حيث $w_3 = 2* 0.666V = 1.332\ V$ وزن المرتبة الرابعة w_4 هو ضعف w_3 حيث $w_4 = 2* 1.332V = 2.664\ V$	3	نسبة الخطأ هي 8.6%
5				4	$T_c = 96\ \mu S$
6				5	$T_A = 192\ \mu S$
7				6	
8				7	
9		5	أ/ أعلى جهد للاخراج = 10 V ب/ $\frac{2}{3}$ V	8	
10		6	$V_o = 7\frac{1}{3}$ V	9	

المصادر (References) :

1- الالكترونيك الرقمي الحديث ترجمة ((ضياء مهدي فارس وآخرون)).1991.
2- Digital Principles &Application
3- Digital computer fundamentals (thematic bartee))
4- Introduction to Digital computer((louis mashelsky))
5- Modern Digital electronics (R.P.Jain
6- الالكترونيك الرقمي وتطبيقاته ((تأليف: مالفينو)).

تم بعونه تعالى